

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-278478

(43)Date of publication of application : 27.09.2002

(51)Int.Cl. G09F 9/30  
G09G 3/20  
G09G 3/30  
H04N 5/70  
H05B 33/14

(21)Application number : 2001-382530 (71)Applicant : SEMICONDUCTOR ENERGY LAB  
CO LTD

(22)Date of filing : 17.12.2001 (72)Inventor : INUKAI KAZUTAKA

(30)Priority

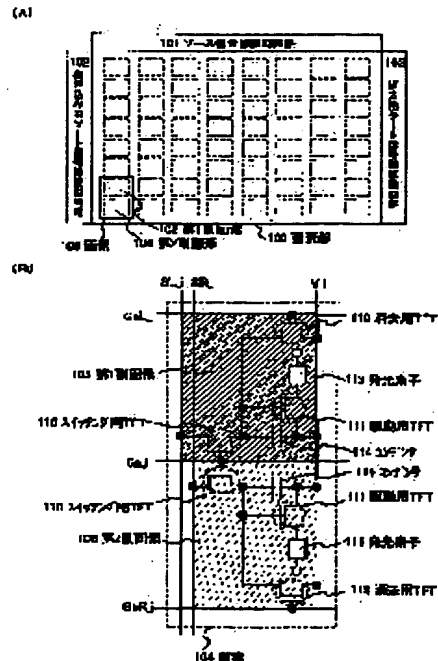
Priority number : 2000388990 Priority date : 21.12.2000 Priority country : JP

## (54) LIGHT EMITTING DEVICE, DRIVING METHOD THEREFOR, AND ELECTRONIC EQUIPMENT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a light emitting device permitting to display a picture of high gradations, while suppressing increase in a driving frequency of a source signal line driving circuit.

**SOLUTION:** A single pixel has a plurality of sub-pixels of an equal effective light emitting area, and the gradation of the pixel is controlled by using all the sub-frame periods appearing in each sub-pixel. Further, in the light emitting device of this invention, for example, when time gradation is performed according to a binary code method, it is allowed that a sub-frame period of a specific bit is divided into a plurality of sub-frames, and the divided sub-frame periods are not continuously made to appear, but a sub-frame period of other bit of a non-display period is arranged in-between. Moreover, in the non-display period, the light emitting elements do not emit light in all the pixels of the pixel part.



---

**LEGAL STATUS**

[Date of request for examination] 14.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] It is luminescence equipment characterized by being luminescence equipment which has two or more pixels, for said two or more pixels having two or more sub-picture elements, respectively, for said two or more sub-picture elements having the light emitting device, respectively, and said two or more sub-picture elements having a mutually equal effective luminescence area.

[Claim 2] It is luminescence equipment characterized by being luminescence equipment which has two or more pixels, said two or more pixels having two or more sub-picture elements, respectively, said two or more sub-picture elements having a light emitting device and TFT, respectively, the current which flows to said light emitting device being controlled by said TFT, and said two or more sub-picture elements having a mutually equal effective luminescence area.

[Claim 3] Said all polarities of TFT that said two or more sub-picture elements have in claim 2, respectively are luminescence equipment characterized by the same thing.

[Claim 4] Electronic equipment characterized by using said luminescence equipment in any 1 term of claim 1 thru/or claim 3.

[Claim 5] Are the drive approach of luminescence equipment of having two or more pixels, and said two or more pixels have two or more sub-picture elements, respectively. Said two or more sub-picture elements have the light emitting device, respectively. Said two or more sub-picture elements Effective luminescence area is equal mutually and the die length of the period said whose light emitting device is in a luminescence condition by being controlled by the digital video signal in each of two or more of said sub-picture elements The drive approach of the luminescence equipment characterized by controlling the gradation displayed in each of two or more of said pixels.

[Claim 6] Are the drive approach of luminescence equipment of having two or more pixels, and said two or more pixels have two or more sub-picture elements, respectively. Said two or more sub-picture elements have the light emitting device, respectively. Said two or more sub-picture elements Effective luminescence area is equal mutually and it sets to said two or more sub-picture elements. Two or more subframe periods appear during an one-frame period, and it sets to each of two or more of said subframe periods. It is chosen by each bit of a digital video signal whether said light emitting device of two or more of said sub-picture elements will be in a luminescence condition or it will be in a nonluminescent condition. The drive approach of the luminescence equipment characterized by the number of gradation displayed in each of two or more of said pixels becoming higher as total of the die length of the subframe period which has said light emitting device in a luminescence condition in each of two or more of said sub-picture elements becomes long.

[Claim 7] Are the drive approach of luminescence equipment of having two or more pixels, and said two or more pixels have two or more sub-picture elements, respectively. Said two or more sub-picture elements have a light emitting device, the 1st TFT, the 2nd TFT, and the 3rd TFT, respectively, and set them to said two or more sub-picture elements of all. Said 1st TFT is turned on at the same period, and when said 1st TFT is ON, the potential of a digital video signal is given to the gate electrode of said 2nd TFT. By switching of said 2nd TFT being controlled by potential of said digital video signal It is chosen

whether said light emitting device will be in a luminescence condition or it will be in a nonluminescent condition, and when said 3rd TFT is ON, said light emitting device will be in a nonluminescent condition. In each of two or more of said sub-picture elements, the die length of the period said whose light emitting device is in a luminescence condition by being controlled by said digital video signal It is the drive approach of the luminescence equipment characterized by controlling the gradation displayed in each of two or more of said pixels, and said two or more sub-picture elements having a mutually equal effective luminescence area.

[Claim 8] Are the drive approach of luminescence equipment of having two or more pixels, and said two or more pixels have two or more sub-picture elements, respectively. Said two or more sub-picture elements A light emitting device, the 1st TFT, the 2nd TFT, the 3rd TFT, It has the source signal line, the gate signal line for writing, the gate signal line for elimination, and the current supply line, respectively. The gate electrode of said 1st TFT is connected to said gate signal line for writing. Said the 1st source field and drain field of TFT One side is connected to said source signal line, and another side is connected to the gate electrode of said 2nd TFT. The source field of said 2nd TFT is connected to the pixel electrode with which said light emitting device has a drain field at said current supply line. The gate electrode of said 3rd TFT is connected to said gate signal line for elimination. Said the 3rd source field and drain field of TFT One side is connected to said current supply line, and another side is connected to the gate electrode of said 2nd TFT. The gate signal line for writing which said two or more pixels have, respectively is chosen as the same period. In each of two or more of said sub-picture elements, the die length of the period said whose light emitting device is in a luminescence condition by being controlled by the digital video signal inputted into said source signal line It is the drive approach of the luminescence equipment characterized by controlling the gradation displayed in each of two or more of said pixels, and said two or more sub-picture elements having a mutually equal effective luminescence area.

[Claim 9] Are the drive approach of luminescence equipment of having two or more pixels, and said two or more pixels have two or more sub-picture elements, respectively. Said two or more sub-picture elements have a light emitting device, the 1st TFT, the 2nd TFT, the 3rd TFT, the source signal line, the gate signal line for elimination, and the current supply line, respectively. Said two or more sub-picture elements Are sharing the gate signal line for writing in the same pixel, and the gate electrode of said 1st TFT is connected to said gate signal line for writing. Said the 1st source field and drain field of TFT One side is connected to said source signal line, and another side is connected to the gate electrode of said 2nd TFT. The source field of said 2nd TFT is connected to the pixel electrode with which said light emitting device has a drain field at said current supply line. The gate electrode of said 3rd TFT is connected to said gate signal line for elimination. Said the 3rd source field and drain field of TFT One side is connected to said current supply line, and another side is connected to the gate electrode of said 2nd TFT. The gate signal line for writing which said two or more pixels have, respectively is chosen as the same period. In each of two or more of said sub-picture elements, the die length of the period said whose light emitting device is in a luminescence condition by being controlled by the digital video signal inputted into said source signal line It is the drive approach of the luminescence equipment characterized by controlling the gradation displayed in each of two or more of said pixels, and said two or more sub-picture elements having a mutually equal effective luminescence area.

[Claim 10] Are the drive approach of luminescence equipment of having two or more pixels, and said two or more pixels have two or more sub-picture elements, respectively. Said two or more sub-picture elements A light emitting device, the 1st TFT, the 2nd TFT, the 3rd TFT, It has the source signal line, the gate signal line for writing, and the gate signal line for elimination, respectively. Said two or more sub-picture elements are sharing the current supply line in the same pixel. The gate electrode of said 1st TFT is connected to said gate signal line for writing. Said the 1st source field and drain field of TFT One side is connected to said source signal line, and another side is connected to the gate electrode of said 2nd TFT. The source field of said 2nd TFT is connected to the pixel electrode with which said light emitting device has a drain field at said current supply line. The gate electrode of said 3rd TFT is connected to said gate signal line for elimination. Said the 3rd source field and drain field of TFT One

side is connected to said current supply line, and another side is connected to the gate electrode of said 2nd TFT. The gate signal line for writing which said two or more pixels have, respectively is chosen as the same period. In each of two or more of said sub-picture elements, the die length of the period said whose light emitting device is in a luminescence condition by being controlled by the digital video signal inputted into said source signal line It is the drive approach of the luminescence equipment characterized by controlling the gradation displayed in each of two or more of said pixels, and said two or more sub-picture elements having a mutually equal effective luminescence area.

[Claim 11] Are the drive approach of luminescence equipment of having two or more pixels, and said two or more pixels have two or more sub-picture elements, respectively. Said two or more sub-picture elements have a light emitting device, the 1st TFT, the 2nd TFT, the 3rd TFT, the source signal line, and the gate signal line for elimination, respectively. Said two or more sub-picture elements The gate signal line for writing and the current supply line are shared in the same pixel. The gate electrode of said 1st TFT is connected to said gate signal line for writing. Said the 1st source field and drain field of TFT One side is connected to said source signal line, and another side is connected to the gate electrode of said 2nd TFT. The source field of said 2nd TFT is connected to the pixel electrode with which said light emitting device has a drain field at said current supply line. The gate electrode of said 3rd TFT is connected to said gate signal line for elimination. Said the 3rd source field and drain field of TFT One side is connected to said current supply line, and another side is connected to the gate electrode of said 2nd TFT. The gate signal line for writing which said two or more pixels have, respectively is chosen as the same period. In each of two or more of said sub-picture elements, the die length of the period said whose light emitting device is in a luminescence condition by being controlled by the digital video signal inputted into said source signal line It is the drive approach of the luminescence equipment characterized by controlling the gradation displayed in each of two or more of said pixels, and said two or more sub-picture elements having a mutually equal effective luminescence area.

[Claim 12] All the polarities of said 1st TFT which said two or more sub-picture elements have in any 1 term of claim 7 thru/or claim 11, respectively are the drive approaches of the luminescence equipment characterized by the same thing.

[Claim 13] All the polarities of said 2nd TFT which said two or more sub-picture elements have in any 1 term of claim 7 thru/or claim 11, respectively are the drive approaches of the luminescence equipment characterized by the same thing.

[Claim 14] All the polarities of said 3rd TFT which said two or more sub-picture elements have in any 1 term of claim 7 thru/or claim 11, respectively are the drive approaches of the luminescence equipment characterized by the same thing.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the panel for a display which enclosed the light emitting device formed on the substrate between this substrate and covering material. Moreover, it is related with the module for a display which mounted IC in this panel for a display. In addition, in this specification, the panel for a display and the module for a display are named luminescence equipment generically. This invention relates to the electronic equipment which used the drive approach of this luminescence equipment, and this luminescence equipment further.

[0002]

[Description of the Prior Art] Since a light emitting device emits light itself, while its visibility is high, and it does not need a required back light with a liquid crystal display (LCD) but is the the best for thin-shape-izing, there is no limit also in an angle of visibility. Therefore, the luminescence equipment using a light emitting device attracts attention in recent years as a display which replaces CRT and LCD.

[0003] A light emitting device has the layer (it is hereafter described as an organic compound layer) containing the organic compound with which the luminescence (Electro Luminescence) generated by adding electric field is obtained, an anode plate layer, and catholyte. Although the luminescence in an organic compound has luminescence (phosphorescence) at the time of returning from luminescence at the time of returning from a singlet excitation state to a ground state (fluorescence), and a triplet excitation state to a ground state, which luminescence may be used with the luminescence equipment of this invention.

[0004] In addition, on these specifications, all the layers prepared between an anode plate and cathode are defined as an organic compound layer. A luminous layer, a hole injection layer, an electronic injection layer, an electron hole transportation layer, an electronic transportation layer, etc. are concretely contained in an organic compound layer. It may have fundamentally the structure to which it has the light emitting device and it carried out the laminating of the structure where the laminating of an anode plate / luminous layer / the cathode was carried out to order to order, such as an anode plate / hole injection layer / luminous layer / cathode, and an anode plate / hole injection layer / luminous layer / electronic transportation layer / cathode, in addition to this structure.

[0005] Moreover, in this specification, if a light emitting device is driven, it will call making a light emitting device emit light. Moreover, in this specification, the component formed in an anode plate, an organic compound layer, and cathode is called a light emitting device.

[0006] By the way, the drive approach of luminescence equipment of having a light emitting device mainly has an analog drive and a digital drive. Since the digital video signal (digital video signal) which has image information is used as it is, without changing into an analog and a digital drive can display an image corresponding to digitization of a broadcasting electric-wave, it is especially promising.

[0007] There is the time-sharing driving method for performing a gradation display by controlling the die length which a pixel turns on in the drive approach that the binary electrical potential difference which a digital video signal has performs a gradation display.

[0008] By the time-sharing driving method, an one-frame period is divided at two or more subframe periods. And in each subframe period, it is chosen whether each pixel lights up with a digital video signal or it does not carry out. The gradation of this pixel is called for in integrating the die length of the subframe period which the pixel turned on among all the subframe periods that appear during an one-frame period.

[0009]

[Problem(s) to be Solved by the Invention] Hereafter, the structure and its drive approach of the general picture element part of luminescence equipment are explained.

[0010] The enlarged drawing of the picture element part 7000 of common thing luminescence equipment is shown in drawing 17 (A). The picture element part 7000 has the source signal lines S1-Sx, the current supply lines V1-Vx, and the gate signal lines G1-Gy.

[0011] The field equipped with the source signal lines S1-Sx, the current supply lines V1-Vx, and every one gate signal lines G1-Gy is equivalent to a pixel 7001. Two or more pixels 7001 are arranged at the picture element part 7000 at the shape of a matrix.

[0012] The enlarged drawing of a pixel 7001 is shown in drawing 17 (B). The pixel 7001 has the source signal line Si (any 1 of S1-Sx(es)), the current supply line Vi (any 1 of V1-Vx(es)), and the gate signal line Gj (any 1 of G1-G(ies)).

[0013] The pixel 7001 has TFT7002 for switching, TFT7003 for a drive, the light emitting device 7004, and the capacitor 7005.

[0014] The gate electrode of TFT7002 for switching is connected to the gate signal line Gj. Moreover, as for the source field and drain field of TFT7002 for switching, one side is connected to the capacitor 7005 which the gate electrode of TFT7003 for a drive and each pixel have [ another side ] in the source signal line Si, respectively.

[0015] Moreover, as for the source field and drain field of TFT7003 for a drive, one side is connected to the current supply line Vi, and another side is connected to the pixel electrode of a light emitting device 7004. The current supply line Vi is connected to the capacitor 7005.

[0016] A light emitting device 7004 has the organic compound layer prepared between an anode plate, cathode, and an anode plate and cathode. When the anode plate has connected with the source field of TFT7003 for a drive, or a drain field, let an anode plate as a pixel electrode and let cathode be a counterelectrode. Conversely, when cathode has connected with the source field of TFT7003 for a drive, or a drain field, let cathode as a pixel electrode and let an anode plate be a counterelectrode.

[0017] Fixed potential (opposite potential) is given to the counterelectrode of a light emitting device 7004. Moreover, fixed potential (power-source potential) is given to the current supply line Vi. Power-source potential and opposite potential are given according to the power source established by external IC of the panel for a display etc.

[0018] Next, the luminescence equipment which has the configuration shown in drawing 17 explains the case where it displays using the time-sharing driving method, using drawing 18 . By the time-sharing driving method, two or more subframe periods are established within the one-frame period. Drawing 18 shows the timing to which a subframe period appears in the luminescence equipment which has the configuration shown in drawing 17 , an axis of abscissa shows a time scale and the axis of ordinate shows the location of a gate signal line.

[0019] In drawing 18 , n subframe periods (n is the natural number) SF1-SFn are established during the one-frame period. And in each of n subframe periods, the digital video signal for 1 bit is inputted into each pixel. By this digital video signal, it is chosen whether the light emitting device of each pixel emits light or it does not carry out.

[0020] If the above-mentioned actuation is explained in more detail, TFT7002 for switching connected to each gate signal line will be turned on by the gate signal lines G1-Gy being chosen in order. In addition, it means that all TFT(s) by which the gate electrode was connected to this signal line as a signal line is chosen in this specification are turned on.

[0021] And when each gate signal line is chosen, the digital video signal for 1 bit is inputted into the gate electrode of TFT7003 for a drive through TFT7002 for switching of ON from the source signal

lines S1-Sy.

[0022] As for TFT7003 for a drive, switching is controlled by the digital video signal. If TFT7003 for a drive is ON, power-source potential will be given to the pixel electrode of a light emitting device 7004, and a light emitting device 7004 will emit light according to the potential difference of power-source potential and opposite potential. On the contrary, if TFT7003 for a drive is off, since power-source potential will not be given to the pixel electrode of a light emitting device 7004, a light emitting device 7004 does not emit light. In addition, a luminescence condition, and a call and the condition of not emitting light are called a nonluminescent condition for the condition that the light emitting device is emitting light in this specification.

[0023] If a digital video signal is inputted into all pixels, one subframe period will expire and the next subframe period will be started. And the actuation mentioned above is repeated and it is chosen in each of the subframe periods SF1-SFn whether the light emitting device 7004 of each pixel emits light or it does not carry out. The height of the gradation which each pixel displays is controlled by this, and one image is displayed in an one-frame period.

[0024] By the way, by the drive approach mentioned above, when displaying using a n-bit digital video signal, it is necessary to establish at least n subframe periods within an one-frame period. Therefore, if the number of bits of a digital video signal is made [ many ] in order to make the number of gradation of an image high, the number of the subframe periods established within an one-frame period will increase.

[0025] It is desirable to establish 60 or more frame periods in 1 second with usual luminescence equipment. When the number of the images displayed in 1 second becomes less than 60, a flicker of an image may begin to be visually conspicuous. Then, in order to suppress a flicker of an image, when it is going to display an image with the high number of gradation, without dropping frame frequency, it is necessary to shorten the die length of a subframe period.

[0026] However, if the die length of a subframe period is shortened, the problem that the rate which inputs a digital video signal into a pixel cannot be equivalent to the die length of a subframe period will arise. Drawing 19 is used for below and this problem is explained to it in detail.

[0027] Drawing 19 shows the timing to which the subframe periods SF (k-1), SFk, and SF (k+1) (k is the natural number of arbitration) in the general time-sharing driving method appear, an axis of abscissa shows a time scale and the axis of ordinate shows the location of a gate signal line. Moreover, t1 shows the die length of the period when the digital video signal for 1 bit is inputted into all pixels in the subframe period SFk, and t2 shows the die length of the subframe period SFk in the pixel of each Rhine. In addition, the pixel for one line has the same gate signal line.

[0028] Drawing 19 (A) shows the case of  $t1 \leq t2$ , and drawing 19 (B) shows the case of  $t1 > t2$ .

[0029] By the time in the case of  $t1 \leq t2$  shown in drawing 19 (A) the k-th subframe period SFk expires and the next subframe period SF (k+1) of eye watch (k+1) is started, the digital video signal for 1 bit will be inputted into all pixels. Therefore, the input to the pixel of the digital video signal for 1 bit and the input to the pixel of the following digital video signal for 1 bit are not performed in parallel in the same picture element part.

[0030] However, in the case of  $t1 > t2$  shown in drawing 19 (B), even if the k-th subframe period SFk expires, the input of the digital video signal for 1 bit to a pixel is not completed. That is, in parallel to the input to the pixel of the digital video signal for 1 bit, the input to the pixel of the following digital video signal for 1 bit must be started.

[0031] Although the drive which was set to  $t1 > t2$  and shown in drawing 19 (B) had to be performed when the subframe period t2 was shortened in order to make the number of gradation high, with the luminescence equipment of a configuration of that drawing 17 showed, it was impossible. Even if it shortens the subframe period t2, in order to be referred to as  $t1 \leq t2$ , it will be necessary to shorten the die length of the period t1 which inputs the digital video signal for 1 bit into all pixels.

[0032] In order to shorten t1, it is necessary to make high drive frequency of the source signal-line drive circuit which is controlling the input of the digital video signal to a source signal line. However, when drive frequency of a source signal-line drive circuit was made high too much, it becomes impossible for



the transistor which a source signal-line drive circuit has to have not been unable to respond to drive frequency, and actuation was impossible or difficulty may have come out on dependability.

[0033] It asks for the luminescence equipment of a new configuration which can display an image with the high number of gradation in view of the problem mentioned above.

[0034]

[Means for Solving the Problem] The luminescence equipment of this invention has the sub-picture element of plurality [ pixel / one ], and the area (effective luminescence area) from which, as for each sub-picture element, luminescence is actually obtained is mutually equal. In addition, the effective luminescence area of a light emitting device points out the area of the field which is not interrupted by what does not penetrate light, such as TFT, wiring, etc. with which the light emitted among the pixel electrodes which a light emitting device has was formed on the substrate.

[0035] And the gradation of the pixel concerned is controlled by this invention using all the subframe periods that appear in each sub-picture element, respectively.

[0036] Even if the above-mentioned configuration increases the number of the subframe periods established at an one-frame period, it can stop that the die length of each subframe period becomes short. Therefore, it can stop that the period (write-in period) which inputs the digital video signal of a pixel becomes short. therefore, frame frequency -- not dropping -- in addition -- and it becomes possible to display an image with the high number of gradation, stopping that the drive frequency of a source signal-line drive circuit becomes high.

[0037] Moreover, unlike the general surface-integral rate driving method, the effective luminescence area of a sub-picture element is almost the same. Since the design rule was applied and designed to the smallest sub-picture element by the general surface-integral rate driving method, highly-minute-izing was difficult. However, since the luminescence equipment of this invention has an almost the same effective luminescence area of a sub-picture element even if the number of gradation increases, highly-minute-izing is possible.

[0038] Furthermore, with the luminescence equipment of this invention, when performing time amount gradation by the binary-code method, for example, the subframe period of a specific bit was divided at two or more subframe periods, the divided subframe period was not made to appear continuously, but the period (non-display period) which does not perform the subframe period of other bits or a display in between may be established. In addition, in a non-display period, a light emitting device emits light in no pixels of a picture element part.

[0039] The above-mentioned configuration can protect generating of an animation false profile.

[0040] in addition -- and with the luminescence equipment of this invention, in order to prevent generating of an animation false profile, even if it divides a subframe period, it can stop that the die length of one subframe period becomes short, and the height of the drive frequency of a source signal-line drive circuit can be stopped.

[0041] Below, the configuration of this invention is shown.

[0042] Invention indicated on these specifications is luminescence equipment which has two or more pixels, said two or more pixels have two or more sub-picture elements, respectively, said two or more sub-picture elements have the light emitting device, respectively, and said two or more sub-picture elements are luminescence equipment characterized by effective luminescence area being mutually equal.

[0043] Invention indicated on these specifications is luminescence equipment which has two or more pixels. Said two or more pixels have two or more sub-picture elements, respectively, and said two or more sub-picture elements have the light emitting device, respectively. Said two or more sub-picture elements Effective luminescence area is equal mutually and the die length of the period said whose light emitting device is in a luminescence condition by being controlled by the digital video signal in each of two or more of said sub-picture elements It is luminescence equipment characterized by controlling the gradation displayed in each of two or more of said pixels.

[0044] Invention indicated on these specifications is luminescence equipment which has two or more pixels. Said two or more pixels have two or more sub-picture elements, respectively, and said two or

more sub-picture elements have the light emitting device, respectively. Said two or more sub-picture elements Effective luminescence area is equal mutually and it sets to said two or more sub-picture elements. Two or more subframe periods appear during an one-frame period, and it sets to each of two or more of said subframe periods. It is chosen by each bit of a digital video signal whether said light emitting device of two or more of said sub-picture elements will be in a luminescence condition or it will be in a nonluminescent condition. The more total of the die length of the subframe period which has said light emitting device in a luminescence condition in each of two or more of said sub-picture elements becomes long, the more it is luminescence equipment characterized by the number of gradation displayed in each of two or more of said pixels becoming high.

[0045] Invention indicated on these specifications is luminescence equipment which has two or more pixels, said two or more pixels have two or more sub-picture elements, respectively, said two or more sub-picture elements have a light emitting device and TFT, respectively, the current which flows to said light emitting device is controlled by said TFT, and said two or more sub-picture elements are luminescence equipment characterized by effective luminescence area being mutually equal.

[0046] Invention indicated on these specifications is luminescence equipment which has two or more pixels. Said two or more pixels have two or more sub-picture elements, respectively, said two or more sub-picture elements have a light emitting device, the 1st TFT, the 2nd TFT, and the 3rd TFT, respectively, and it sets to said two or more sub-picture elements of all. Said 1st TFT is turned on at the same period, and when said 1st TFT is ON, the potential of a digital video signal is given to the gate electrode of said 2nd TFT. By switching of said 2nd TFT being controlled by potential of said digital video signal It is chosen whether said light emitting device will be in a luminescence condition or it will be in a nonluminescent condition, and when said 3rd TFT is ON, said light emitting device will be in a nonluminescent condition. In each of two or more of said sub-picture elements, the die length of the period said whose light emitting device is in a luminescence condition by being controlled by said digital video signal The gradation displayed in each of two or more of said pixels is controlled, and said two or more sub-picture elements are luminescence equipment characterized by effective luminescence area being mutually equal.

[0047] Invention indicated on these specifications is luminescence equipment which has two or more pixels. Said two or more pixels have two or more sub-picture elements, respectively. Said two or more sub-picture elements A light emitting device, The 1st TFT, the 2nd TFT, the 3rd TFT, a source signal line, the gate signal line for writing, Have the gate signal line for elimination, and the current supply line, respectively, and the gate electrode of said 1st TFT is connected to said gate signal line for writing. Said the 1st source field and drain field of TFT One side is connected to said source signal line, and another side is connected to the gate electrode of said 2nd TFT. The source field of said 2nd TFT is connected to the pixel electrode with which said light emitting device has a drain field at said current supply line. The gate electrode of said 3rd TFT is connected to said gate signal line for elimination. Said the 3rd source field and drain field of TFT One side is connected to said current supply line, and another side is connected to the gate electrode of said 2nd TFT. The gate signal line for writing which said two or more pixels have, respectively is chosen as the same period. In each of two or more of said sub-picture elements, the die length of the period said whose light emitting device is in a luminescence condition by being controlled by the digital video signal inputted into said source signal line The gradation displayed in each of two or more of said pixels is controlled, and said two or more sub-picture elements are luminescence equipment characterized by effective luminescence area being mutually equal.

[0048] Invention indicated on these specifications is luminescence equipment which has two or more pixels. Said two or more pixels have two or more sub-picture elements, respectively. Said two or more sub-picture elements A light emitting device, It has the 1st TFT, 2nd TFT, 3rd TFT, source signal line, gate signal line for elimination, and current supply line, respectively. Said two or more sub-picture elements Are sharing the gate signal line for writing in the same pixel, and the gate electrode of said 1st TFT is connected to said gate signal line for writing. Said the 1st source field and drain field of TFT One side is connected to said source signal line, and another side is connected to the gate electrode of said

2nd TFT. The source field of said 2nd TFT is connected to the pixel electrode with which said light emitting device has a drain field at said current supply line. The gate electrode of said 3rd TFT is connected to said gate signal line for elimination. Said the 3rd source field and drain field of TFT One side is connected to said current supply line, and another side is connected to the gate electrode of said 2nd TFT. The gate signal line for writing which said two or more pixels have, respectively is chosen as the same period. In each of two or more of said sub-picture elements, the die length of the period said whose light emitting device is in a luminescence condition by being controlled by the digital video signal inputted into said source signal line The gradation displayed in each of two or more of said pixels is controlled, and said two or more sub-picture elements are luminescence equipment characterized by effective luminescence area being mutually equal.

[0049] Invention indicated on these specifications is luminescence equipment which has two or more pixels. Said two or more pixels have two or more sub-picture elements, respectively. Said two or more sub-picture elements A light emitting device, It has the 1st TFT, the 2nd TFT, the 3rd TFT, the source signal line, the gate signal line for writing, and the gate signal line for elimination, respectively. Said two or more sub-picture elements are sharing the current supply line in the same pixel. The gate electrode of said 1st TFT is connected to said gate signal line for writing. Said the 1st source field and drain field of TFT One side is connected to said source signal line, and another side is connected to the gate electrode of said 2nd TFT. The source field of said 2nd TFT is connected to the pixel electrode with which said light emitting device has a drain field at said current supply line. The gate electrode of said 3rd TFT is connected to said gate signal line for elimination. Said the 3rd source field and drain field of TFT One side is connected to said current supply line, and another side is connected to the gate electrode of said 2nd TFT. The gate signal line for writing which said two or more pixels have, respectively is chosen as the same period. In each of two or more of said sub-picture elements, the die length of the period said whose light emitting device is in a luminescence condition by being controlled by the digital video signal inputted into said source signal line The gradation displayed in each of two or more of said pixels is controlled, and said two or more sub-picture elements are luminescence equipment characterized by effective luminescence area being mutually equal.

[0050] Invention indicated on these specifications is luminescence equipment which has two or more pixels. Said two or more pixels have two or more sub-picture elements, respectively. Said two or more sub-picture elements A light emitting device, It has the 1st TFT, the 2nd TFT, the 3rd TFT, the source signal line, and the gate signal line for elimination, respectively. Said two or more sub-picture elements The gate signal line for writing and the current supply line are shared in the same pixel. The gate electrode of said 1st TFT is connected to said gate signal line for writing. Said the 1st source field and drain field of TFT One side is connected to said source signal line, and another side is connected to the gate electrode of said 2nd TFT. The source field of said 2nd TFT is connected to the pixel electrode with which said light emitting device has a drain field at said current supply line. The gate electrode of said 3rd TFT is connected to said gate signal line for elimination. Said the 3rd source field and drain field of TFT One side is connected to said current supply line, and another side is connected to the gate electrode of said 2nd TFT. The gate signal line for writing which said two or more pixels have, respectively is chosen as the same period. In each of two or more of said sub-picture elements, the die length of the period said whose light emitting device is in a luminescence condition by being controlled by the digital video signal inputted into said source signal line The gradation displayed in each of two or more of said pixels is controlled, and said two or more sub-picture elements are luminescence equipment characterized by effective luminescence area being mutually equal.

[0051] This invention may be characterized by all the polarities of said 1st TFT which said two or more sub-picture elements have, respectively being the same.

[0052] This invention may be characterized by all the polarities of said 2nd TFT which said two or more sub-picture elements have, respectively being the same.

[0053] This invention may be characterized by all the polarities of said 3rd TFT which said two or more sub-picture elements have, respectively being the same.

[0054] This invention may be electronic equipment characterized by using said luminescence

equipment.

[0055]

[Embodiment of the Invention] The structure of the luminescence equipment of this invention is explained using drawing 1 and drawing 2. Drawing 1 (A) is the block diagram of the panel for a display contained in the luminescence equipment of this invention. On the substrate (not shown), the picture element part 100, the source signal-line drive circuit 101, the gate signal line drive circuit 102 for writing, and the gate signal line drive circuit 103 for elimination are formed.

[0056] In addition, with the gestalt of this operation, although the picture element part 100 and the drive circuit group (the source signal-line drive circuit 101, the gate signal line drive circuit 102 for writing, and the gate signal line drive circuit 103 for elimination are included) are formed on the same substrate, this invention is not limited to this configuration. It may be formed on the substrate with which a picture element part 100 differs from a drive circuit group, and you may connect mutually through connectors, such as FPC.

[0057] Moreover, the number of the source signal-line drive circuit 101 and gate signal line drive circuits (the gate signal line drive circuit 102 for writing and the gate signal line drive circuit 103 for elimination are included) is not limited to the number shown in drawing 1 (A). One or more source signal-line drive circuits 101 should just be formed. Moreover, one gate signal line drive circuit may be substituted for the gate signal line drive circuit 102 for writing, and the gate signal line drive circuit 103 for elimination that one or more gate signal line drive circuits should just be prepared.

[0058] Two or more pixels 104 are formed in the picture element part 100 in the shape of a matrix, and each pixel 104 has two or more sub-picture elements. In addition, the number of the sub-picture elements which each pixel has has as much as possible good production without limit. With the gestalt of this operation, in order to give explanation intelligible, one pixel 104 explains the example which has the 1st sub-picture element 105 and two sub-picture elements of the 2nd sub-picture element 106.

[0059] The circuit diagram of a pixel is shown in drawing 1 (B). The 1st sub-picture element 105 and the 2nd sub-picture element 106 which a pixel 104 has are sharing one current supply line  $V_i$  ( $i$  is the number of the arbitration of 1-x), and one gate signal line  $Ga_j$  for writing (the number of the arbitration of  $j1-y$ ). In addition, no sub-picture elements not necessarily need to share a current supply line. However, the current supply line which all sub-picture elements have in this case is maintained at the same potential.

[0060] Moreover, the 1st sub-picture element 105 and the 2nd sub-picture element 106 have every one different source signal line, and make the source signal line with which 1st source signal-line  $SL_i$  ( $i$  is the number of the arbitration of 1-x) and the 2nd sub-picture element 106 have the source signal line which the 1st sub-picture element 105 has 2nd source signal-line  $SR_i$  ( $i$  is the number of the arbitration of 1-x) with the gestalt of this operation.

[0061] Moreover, the 1st sub-picture element 105 and the 2nd sub-picture element 106 It has every one different gate signal line for elimination. With the gestalt of this operation The gate signal line for elimination by which gate signal line  $GeL_j$  for the 1st elimination (the number of the arbitration of  $j1-y$ ) and the 2nd sub-picture element 106 have the gate signal line for elimination which the 1st sub-picture element 105 has is made into gate signal line  $GeR_j$  for the 2nd elimination (the number of the arbitration of  $j1-y$ ).

[0062] Moreover, each sub-picture element has TFT110 for switching (the 1st TFT), TFT111 for a drive (the 2nd TFT), TFT112 for elimination (the 3rd TFT), the light emitting device 113, and the capacitor 114, respectively.

[0063] The gate electrode of TFT110 for switching which each sub-picture element has is connected to gate signal line  $Ga_j$  for writing. Moreover, another side is connected to the gate electrode of TFT111 for a drive which each sub-picture element has at the source signal line with which, as for the source field and drain field of TFT110 for switching which each sub-picture element has, each sub-picture element has one side. In the case of the gestalt of this operation, the source field and drain field of TFT110 for switching which the 1st sub-picture element 105 has are connected to the gate electrode of TFT111 for a drive with which, as for one side, the 1st sub-picture element 105 has another side in 1st

source signal-line SL<sub>i</sub>. Moreover, the source field and drain field of TFT110 for switching which the 2nd sub-picture element 106 has are connected to the gate electrode of TFT111 for a drive with which, as for one side, the 2nd sub-picture element 106 has another side in 2nd source signal-line SR<sub>i</sub>. [0064] It connects with the pixel electrode of a light emitting device 113 with which, as for the source field of TFT111 for a drive which each sub-picture element has, each sub-picture element has a drain field in current supply line V<sub>i</sub>, respectively.

[0065] Moreover, TFT112 for elimination which each sub-picture element has is connected to the gate signal line for elimination which each sub-picture element has, respectively. In the case of the gestalt of this operation, the gate electrode of TFT112 for elimination which the 1st sub-picture element 105 has is connected to gate signal line GeL<sub>j</sub> for the 1st elimination, and the gate electrode of TFT112 for elimination which the 2nd sub-picture element 106 has is connected to gate signal line GeR<sub>j</sub> for the 2nd elimination.

[0066] Moreover, the source field and drain field of TFT112 for elimination which each sub-picture element has are connected to the gate electrode of TFT111 for a drive with which, as for one side, each sub-picture element has another side in current supply line V<sub>i</sub>.

[0067] The circuit diagram of the picture element part 100 shown in drawing 2 at drawing 1 (A) is shown. 1st source signal-line SL<sub>1</sub>-SL<sub>x</sub>, 2nd source signal-line SR<sub>1</sub>-SR<sub>x</sub>, the current supply line V<sub>1</sub> - V<sub>x</sub>, gate signal line Ga<sub>1</sub>-Ga<sub>y</sub> for writing, gate signal line GeL<sub>1</sub>-GeL<sub>y</sub> for the 1st elimination, and gate signal line GeR<sub>1</sub>-GeR<sub>y</sub> for the 2nd elimination are prepared in the picture element part 100.

[0068] In addition, the number of the 1st source signal line which a picture element part 100 has, and current supply lines is not necessarily the same. The same is not necessarily said of the number of the 2nd source signal line which a picture element part 100 has, and current supply lines. Moreover, the number of the gate signal line for writing which a picture element part 100 has, and the gate signal lines for the 1st elimination is not necessarily the same. The same is not necessarily said of the number of the gate signal line for writing which a picture element part 100 has, and the gate signal lines for the 2nd elimination.

[0069] Next, the drive approach of the luminescence equipment of this invention which has the structure shown in drawing 1 and drawing 2 is explained. In addition, although the gestalt of this operation explains the case where it displays using a 6-bit digital video signal, the number of bits of the digital video signal which the luminescence equipment of this invention uses is not limited to this.

[0070] The timing to which the subframe period in the 1st sub-picture element 105 and the 2nd sub-picture element 106 which each pixel 104 has in drawing 3 appears is shown. In the 1st sub-picture element 105, the subframe period SF 6<sub>1</sub>, SF2 and SF 4<sub>1</sub>, SF 5<sub>2</sub>, and SF 4<sub>2</sub> appear in order within an one-frame period. In the 2nd sub-picture element 106, the subframe period SF 5<sub>1</sub>, SF1 and SF 6<sub>2</sub>, and SF3 and SF 6<sub>3</sub> appear in order within an one-frame period.

[0071] In addition, the subframe periods SF1-SF3 support the digital video signal of the 1st bit - a triplet eye, respectively. Moreover, both the subframe periods [ SF / SF and / 4<sub>2</sub> ] 4<sub>1</sub> support the bit [ 4th ] digital video signal. Moreover, both the subframe periods [ SF / SF and / 5<sub>2</sub> ] 5<sub>1</sub> support the bit [ 5th ] digital video signal. Moreover, both the subframe periods [ SF / SF, SF / 6<sub>2</sub> /, and / 6<sub>3</sub> ] 6<sub>1</sub> support the bit [ 6th ] digital video signal.

[0072] The timing by which the subframe period SF 5<sub>1</sub> is started in the 2nd sub-picture element 106 is the same as the timing by which the subframe period SF 6<sub>1</sub> is started in the 1st sub-picture element 105. Similarly, the timing by which the subframe period SF 1 is started in the 2nd sub-picture element 106 is the same as the timing by which the subframe period SF 2 is started in the 1st sub-picture element 105. Similarly, the timing by which the subframe period SF 6<sub>2</sub> is started in the 2nd sub-picture element 106 is the same as the timing by which the subframe period SF 4<sub>1</sub> is started in the 1st sub-picture element 105. Similarly, the timing by which the subframe period SF 3 is started in the 2nd sub-picture element 106 is the same as the timing by which the subframe period SF 5<sub>2</sub> is started in the 1st sub-picture element 105. Similarly, the timing by which the subframe period SF 6<sub>3</sub> is started in the 2nd sub-picture element 106 is the same as the timing by which the subframe period SF 4<sub>2</sub> is started in the

1st sub-picture element 105.

[0073] Moreover, the ratio of die length is shown with the sequence that the subframe period which appears in each sub-picture element appears in Table 1. In addition, the figure in a parenthesis is equivalent to the ratio of die length to other subframe periods of the subframe period concerned.

[0074]

[Table 1]

副画素1	SF6_1(10)	SF2(2)	SF4_1(4)	SF5_2(8)	SF4_2(4)
副画素2	SF5_1(8)	SF1(1)	SF6_2(11)	SF3(4)	SF6_3(11)

[0075] With the gestalt of this operation, it is  $SF1:Sf2:Sf3:(SF4\_1+SF4\_2):(SF5\_1+SF5\_2):(SF6\_1+SF6\_2+SF6\_3)=20:21:22:23:24:25$ . And it can be decided with a digital video signal in which subframe period a light emitting device will emit light, and it can perform a desired gradation display among 26 gradation in the combination of the subframe period which emits light. In addition, the ratio of the die length of the subframe period corresponding to [ when driving using a n-bit digital video signal ] each bit is 20:21. : -- It is set to :2 (n-1).

[0076] In addition, the sequence that a subframe period appears, and the bit to which the subframe period which appears in each sub-picture element corresponds have a selectable designer suitably.

[0077] In addition, with the gestalt of this operation, the subframe period corresponding to the bit [ 4th ] digital video signal is divided into two, SF 4\_1 and SF 4\_2. Moreover, the subframe period corresponding to [ again ] the bit [ 6th ] digital video signal which is dividing the subframe period corresponding to the bit [ 5th ] digital video signal into two, SF 5\_1 and SF 5\_2, is divided into three, SF 6\_1, SF 6\_2, and SF 6\_3. However, the number of bits of the digital video signal with which the subframe period divided in this invention corresponds is not necessarily limited to this.

[0078] One or plural are sufficient as the subframe period to divide. However, in other words, it is desirable the subframe period corresponding to a high order bit and to divide sequentially from the subframe period when die length is long.

[0079] Moreover, as for to how many to be divided although the number of partitions of a subframe period has a selectable designer suitably, it is desirable to decide by balance of the drive rate of luminescence equipment and the display quality of an image demanded.

[0080] Moreover, although the same thing of the die length of the divided subframe period corresponding to the digital video signal of the same bit is desirable, this invention is not limited to this. The die length of the divided subframe period does not necessarily need to be the same.

[0081] Moreover, the number of partitions is not limited to this, either. And the subframe period could be divided, and the period (non-display period) which does not perform other subframe periods or a display may be established in between so that the divided subframe periods may not appear continuously in the same sub-picture element. In addition, in a non-display period, a light emitting device emits light in no pixels of a picture element part.

[0082] The above-mentioned configuration can protect that an animation false profile occurs. However, this invention is not limited to this configuration and does not necessarily need to divide a subframe period.

[0083] Next, actuation of the pixel in each subframe period is explained. Initiation of each subframe period inputs a digital video signal into all pixels in order. And it is chosen whether the light emitting device which the 1st sub-picture element 105 and the 2nd sub-picture element 106 have, respectively emits light using the information on 1 or 0 which this digital video signal has, or it does not carry out.

[0084] It explains in more detail about the above-mentioned actuation. The gate signal line for writing which each pixel has first is chosen in order. In addition, every one gate signal line for writing is chosen, and two or more gate signal lines for writing are not chosen as coincidence. For example, if gate signal line Ga\_j for writing is chosen, TFT110 for switching by which the gate electrode was connected to gate signal line Ga\_j for writing will be turned on altogether.

[0085] And the digital video signal of the bit corresponding to each subframe period is inputted into all

source signal lines (at this example, they are the 1st source signal line and the 2nd source signal line). That is, in SF1-SF3, the digital video signal of the 1st bit - a triplet eye is inputted, respectively. Moreover, the bit [ 4th ] digital video signal is inputted in both SF 4\_1 and SF 4\_2, the bit [ 5th ] digital video signal is inputted in both SF 5\_1 and SF 5\_2, and the bit [ 6th ] digital video signal is inputted in both SF 6\_1, SF 6\_2, and SF 6\_3. However, the digital video signal of the bit corresponding to the subframe period which appears in the 1st sub-picture element is inputted into the 1st source signal line, and the digital video signal of the bit corresponding to the subframe period which appears in the 2nd sub-picture element is inputted into the 2nd source signal line.

[0086] In the pixel shown in drawing 1 (B), the digital video signal of the number of bits corresponding to the subframe period which appears in 1st source signal-line SL<sub>i</sub> in the 1st sub-picture element is inputted. Moreover, the digital video signal of the number of bits corresponding to the subframe period which appears in 2nd source signal-line SR<sub>i</sub> in the 2nd sub-picture element is inputted.

[0087] In each sub-picture element, a digital video signal is inputted into the gate electrode of TFT111 for a drive through TFT110 for switching of ON. The switching is controlled by the digital video signal into which TFT111 for a drive was inputted.

[0088] If TFT111 for a drive is ON, the potential (power-source potential) of a current supply line will be given to the pixel electrode of a light emitting device 113 through TFT111 for a drive. Therefore, the potential difference (light emitting device driver voltage) of power-source potential and opposite potential is impressed to the organic compound layer which a light emitting device 113 has, and a light emitting device 113 emits light.

[0089] Conversely, if TFT111 for a drive is off, power-source potential will not be given to the pixel electrode of a light emitting device 113. Therefore, since light emitting device driver voltage is not impressed to an organic compound layer, a light emitting device 113 does not emit light.

[0090] The above-mentioned actuation is performed in all the pixels of a picture element part, and a digital video signal is inputted into all pixels and concrete targets at each sub-picture element. In addition, it means that the potential of a digital video signal is given to the gate electrode of TFT for a drive of the pixel concerned or a sub-picture element as a digital video signal is inputted into a pixel or a sub-picture element in this specification. In addition, on these specifications, a period until it inputs a digital video signal into all pixels is written in, and it is called Period Ta.

[0091] Next, before the write-in period Ta expires, or after ending, the gate signal line for the 1st elimination or the gate signal line for the 2nd elimination is chosen. If the gate signal line for the 1st elimination is chosen, TFT112 for elimination of the 1st sub-picture element 105 by which the gate electrode was connected to the gate signal line for the 1st elimination will be turned on altogether, and power-source potential will be given to the gate electrode of TFT111 for a drive of the 1st sub-picture element 105. Therefore, since the potential of a gate electrode and a source field becomes equal, TFT111 for a drive of the 1st sub-picture element 105 becomes off, and the light emitting device 113 of the 1st sub-picture element 105 will be in a nonluminescent condition. And a subframe period expires in the 1st sub-picture element 105.

[0092] Similarly, if the gate signal line for the 2nd elimination is chosen, TFT112 for elimination of the 2nd sub-picture element 106 by which the gate electrode was connected to the gate signal line for the 2nd elimination will be turned on altogether, and power-source potential will be given to the gate electrode of TFT111 for a drive of the 2nd sub-picture element 106. Therefore, since the potential of a gate electrode and a source field becomes equal, TFT111 for a drive of the 2nd sub-picture element 106 becomes off, and the light emitting device 113 of the 2nd sub-picture element 106 will be in a nonluminescent condition. And a subframe period expires in the 2nd sub-picture element 106.

[0093] In addition, in the same pixel, the timing as which the gate signal line for the 1st elimination and the gate signal line for the 2nd elimination are chosen is not necessarily the same. The timing as which the gate signal line for the 1st elimination and the gate signal line for the 2nd elimination are chosen is decided by the die length of the subframe period which appears in the sub-picture element concerned.

[0094] In addition, on these specifications, a period until all the gate signal lines for the 1st elimination are chosen, or a period until all the gate signal lines for the 2nd elimination are chosen is called the



elimination period  $T_e$ . In addition, every one selection of the gate signal line for the 1st elimination is performed, and two or more are not chosen as coincidence. Similarly, every one selection of the gate signal line for the 2nd elimination is performed, and two or more are not chosen as coincidence.

[0095] The timing from which the gate signal line for writing is chosen as drawing 4 (A) in the write-in period  $T_a$  is shown. Moreover, the timing from which the gate signal line for the 1st elimination is chosen as drawing 4 (B) in the elimination period  $T_e$  which appeared in the 1st sub-picture element 105 is shown. In addition, in the elimination period which appeared in the 2nd sub-picture element 106, since the timing as which the gate signal line for the 2nd elimination is chosen is the same as the 1st sub-picture element 105, drawing 4 (B) can be referred to.

[0096] And in the sub-picture element which the subframe period ended previously among two or more sub-picture elements which the same pixel has, the light emitting device is in the non-display condition until a subframe period expires in other sub-picture elements. And after a subframe period expires in all sub-picture elements, in all the sub-picture elements that the pixel concerned has, the next subframe periods are started all at once. In addition, a light emitting device after a previous subframe period expires until the next subframe period is started calls the period in a nonluminescent condition the non-display period BF.

[0097] Moreover, the difference of the die length of subframe periods can be contracted by dividing a subframe period. therefore, the difference of the die length of the subframe period which two or more sub-picture elements which the same pixel has are alike, respectively, sets, and is started by coincidence can be contracted, the die length of the non-display period in an one-frame period can be shortened, and contrast can also be raised.

[0098] In addition, in the actuation mentioned above, when a subframe period expires after it will write in if a subframe period writes in, and it puts in another way when longer than a period, and Period  $T_a$  expires, the next subframe period may be started, without choosing the gate signal line for the 1st elimination, or the gate signal line for the 2nd elimination. In this case, the non-display period BF does not appear between a subframe period and a subframe period.

[0099] In addition, the timing to which the subframe period in a pixel appears differs for every pixel of each Rhine. In addition, in this invention, the pixel for one line has the same gate signal line for writing. The timing to which the subframe period for every pixel of each Rhine appears in drawing 5 is shown. An axis of abscissa shows a time scale and the axis of ordinate shows the location of the gate signal line for writing.

[0100] After a subframe period is started in the pixel of Rhine of the No. 1 beginning, a period until a subframe period is started in the pixel of the last Rhine is equivalent to the write-in period  $T_a$ . Moreover, after a non-display period is started in the pixel of Rhine of the No. 1 beginning, a period until a non-display period is started in the pixel of the last Rhine is equivalent to the elimination period  $T_e$ . In the gestalt of this operation, the non-display period has appeared immediately after completing the subframe periods SF [ SF2 and ] 4\_1, SF 4\_2, SF 5\_1, and SF1 and SF3. In this invention, a non-display period is not necessarily started immediately after the subframe period mentioned above not necessarily. However, a non-display period is established at least immediately after the subframe period when die length is shorter than a write-in period.

[0101] The non-display period BF can be made to appear with the luminescence equipment of this invention by forming TFT112 for elimination in each sub-picture element. Therefore, it can be made shorter than unlike the common luminescence equipment shown in drawing 17 (it writes in and is equivalent to the die length of a period with the luminescence equipment of this invention). [ that it is / of the period when a subframe period is inputted into the digital video signal for 1 bit by all pixels / the die length, and ]

[0102] In the luminescence equipment of this invention, when drawing 6 displays using the time-sharing driving method, it shows the timing to which the subframe periods SF (k-1), SFk, and SF (k+1) (k is the natural number of arbitration) appear. An axis of abscissa shows a time scale and the axis of ordinate shows the location of the pixel of each Rhine. Moreover,  $t_1$  shows the die length of the write-in period when the digital video signal for 1 bit is inputted into all pixels in the subframe period SFk, and  $t_2$



shows the die length of the subframe period SF<sub>k</sub> in the pixel of each Rhine. In addition, the pixel for one line has the same gate signal line.

[0103] t<sub>3</sub> is the die length of the non-display period BF in the pixel of each Rhine. It is important for the die length t<sub>3</sub> of a non-display period that the write-in period which has lapped with SF<sub>k</sub>, and the write-in period which has lapped with SF (k+1) are the die length which does not lap mutually. That is, being referred to as  $t_3 \geq t_1 - t_2$  is important.

[0104] In order to make the number of gradation high, even if it shortens the subframe period t<sub>2</sub> and is set to  $t_1 > t_2$  by the above-mentioned actuation, in parallel to the input to the pixel of the digital video signal for 1 bit, it is not necessary to start the input to the pixel of the following digital video signal for 1 bit in the same picture element part.

[0105] moreover, the luminescence equipment of this invention is performing the gradation display in the subframe period which two or more sub-picture elements which a pixel has are alike, respectively, sets, and appears by whether the light emitting device of each sub-picture element emits light, or it does not carry out. Therefore, it can stop that a subframe period becomes short compared with the case where a time-sharing drive is performed, with the common luminescence equipment which does not establish a sub-picture element. Therefore, even if the number of subframe periods increases, it can stop that the drive frequency of a source signal-line drive circuit becomes high. therefore, frame frequency -- not dropping -- in addition -- and it becomes possible to display an image with the high number of gradation, stopping that the drive frequency of a source signal-line drive circuit becomes high.

[0106] moreover, frame frequency -- not dropping -- in addition -- and it becomes possible not to check an animation false profile by looking but to display a \*\*\*\* image, stopping that the drive frequency of a source signal-line drive circuit becomes high.

[0107]

[Example] Below, the example of this invention is explained.

[0108] (Example 1) This example explains the plan of the pixel of the luminescence equipment of this invention shown in drawing 1 (B). The plan of the pixel of this example is shown in drawing 7.

[0109] 205 shows the 1st sub-picture element, 206 shows the 2nd sub-picture element, and TFT210 for switching, TFT211 for a drive, and TFT212 for elimination are formed in each sub-picture element.

[0110] Moreover, the 1st sub-picture element 205 and the 2nd sub-picture element 206 are sharing gate signal line Ga<sub>j</sub> for writing, and current supply line V<sub>i</sub>. And the 1st sub-picture element 205 has gate signal line GeL<sub>j</sub> for the 1st elimination, and the 2nd sub-picture element 206 has gate signal line GeR<sub>j</sub> for the 2nd elimination.

[0111] In each sub-picture element, another side is connected to the source signal line with which, as for the source field and drain field of TFT210 for switching, each sub-picture element has one side through the connection wiring 225 at the gate wiring 222. Some gate wiring 222 is used as a gate electrode of TFT211 for a drive.

[0112] Moreover, the source field of TFT211 for a drive is connected to current supply line V<sub>i</sub>, and the drain field is connected to the pixel electrode 220 of a light emitting device. In addition, although not illustrated in this example, the organic compound layer is formed in contact with the pixel electrode, and the counterelectrode is formed in contact with this organic compound layer.

[0113] The gate wiring 222 is formed in the same layer as the gate signal line for writing, and the gate signal line for elimination. And the gate wiring 222 has lapped with the barrier layer 221 for capacity formed through gate dielectric film (not shown) at the same layer as the barrier layer of TFT in between. The barrier layer 221 for capacity is connected with current supply line V<sub>i</sub>, and power-source potential is given. A capacitor 214 is formed by the gate wiring 222 and the barrier layer 221 for capacity.

[0114] Moreover, the gate wiring 222 has lapped also with current supply line V<sub>i</sub> through the interlayer insulation film (not shown) in between, and you may make it hold the potential of the gate electrode of TFT211 for a drive using the capacity formed between the gate wiring 222 and current supply line V<sub>i</sub>.

[0115] Moreover, one side is connected to the gate wiring 222 for the source field and drain field of TFT212 for elimination through the connection wiring 224, and another side is connected to current supply line V<sub>i</sub>. In addition, the connection wiring 225 and 224 is formed in the same layer as a source

signal line and a current supply line.

[0116] Moreover, the gate electrode of TFT212 for elimination is connected to the gate signal line for elimination which each sub-picture element has.

[0117] In addition, this example only showed one example of this invention, and the luminescence equipment of this invention is not limited to the configuration shown by this example.

[0118] (Example 2) This example explains the case where it displays using a 6-bit digital video signal, in the luminescence equipment of this invention which has the configuration shown in drawing 1 (B). However, a subframe period explains the example which displays using the subframe period of the same number as the number of bits of a digital video signal, without dividing.

[0119] The ratio of die length is shown with the sequence that the subframe period which appears in each sub-picture element appears in Table 2. In addition, the figure in a parenthesis is equivalent to the ratio of die length to other subframe periods of the subframe period concerned.

[0120]

[Table 2]

副画素1	SF6(32)	SF3(4)	SF1(1)
副画素2	SF5(16)	SF4(8)	SF2(2)

[0121] In the 1st sub-picture element 105, the subframe periods SF6, SF3, and SF1 appear in order within an one-frame period. In the 2nd sub-picture element 106, the subframe periods SF5, SF4, and SF2 appear in order within an one-frame period.

[0122] In addition, the subframe periods SF1-SF6 support the bit [ 1-6th ] digital video signal, respectively.

[0123] The timing by which the subframe period SF 5 is started in the 2nd sub-picture element 106 is the same as the timing by which the subframe period SF 6 is started in the 1st sub-picture element 105. Similarly, the timing by which the subframe period SF 4 is started in the 2nd sub-picture element 106 is the same as the timing by which the subframe period SF 3 is started in the 1st sub-picture element 105. Similarly, the timing by which the subframe period SF 2 is started in the 2nd sub-picture element 106 is the same as the timing by which the subframe period SF 1 is started in the 1st sub-picture element 105.

[0124] In this example, it is SF1:SF2:SF3:SF4:SF5:SF 6= 20:21:22:23:24:25. A desired gradation display can be performed among 26 gradation in the combination of this subframe period. In addition, the ratio of the die length of the subframe period corresponding to [ when driving using a n-bit digital video signal ] each bit is 20:21. : -- It is set to :2 (n-1).

[0125] The sequence that a subframe period appears, and the bit to which the subframe period which appears in each sub-picture element corresponds have a selectable designer suitably.

[0126] the luminescence equipment of this invention is performing the gradation display in the subframe period which two or more sub-picture elements which a pixel has are alike, respectively, sets, and appears by whether the light emitting device of each sub-picture element emits light, or it does not carry out. Therefore, it can stop that a subframe period becomes short compared with the case where a time-sharing drive is performed, with the common luminescence equipment which does not establish a sub-picture element. Therefore, even if the number of subframe periods increases, it can stop that the drive frequency of a source signal-line drive circuit becomes high. therefore, frame frequency -- not dropping -- in addition -- and it becomes possible to display an image with the high number of gradation, stopping that the drive frequency of a source signal-line drive circuit becomes high.

[0127] In addition, this invention cannot necessarily use only a 6-bit digital video signal. The corresponding number of bits can be suitably set up by the designer.

[0128] It combines with an example 1 freely and this example can be carried out.

[0129] (Example 3) This example explains the case where it displays using a 8-bit digital video signal, in the luminescence equipment of this invention which has the configuration shown in drawing 1 (B).

[0130] The ratio of die length is shown with the sequence that the subframe period which appears in each sub-picture element appears in Table 3. In addition, the figure in a parenthesis is equivalent to the

ratio of die length to other subframe periods of the subframe period concerned.

[0131]

[Table 3]

副画素1	SF8_1(42)	SF2(2)	SF6_1(16)	SF7_2(32)	SF8_3(43)	SF1(1)
副画素2	SF4(8)	SF7_1(32)	SF8_2(43)	SF3(4)	SF5(16)	SF6_2(16)

[0132] In the 1st sub-picture element 105, the subframe period SF 8\_1, SF2 and SF 6\_1, SF 7\_2, SF 8\_3, and SF1 appear in order within an one-frame period. In the 2nd sub-picture element 106, the subframe periods SF [ SF4 and ] 7\_1, SF 8\_2, and SF3, SF5 and SF 6\_2 appear in order within an one-frame period.

[0133] In addition, the subframe periods SF1-SF5 support the bit [ 1-5th ] digital video signal, respectively. Moreover, both the subframe periods [ SF / SF and / 6\_2 ] 6\_1 support the bit [ 6th ] digital video signal. Moreover, both the subframe periods [ SF / SF and / 7\_2 ] 7\_1 support the bit [ 7th ] digital video signal. Moreover, both the subframe periods [ SF / SF, SF / 8\_2 /, and / 8\_3 ] 8\_1 support the bit [ 8th ] digital video signal.

[0134] The timing by which the subframe period SF 4 is started in the 2nd sub-picture element 106 is the same as the timing by which the subframe period SF 8\_1 is started in the 1st sub-picture element 105. Similarly, the timing by which the subframe period SF 7\_1 is started in the 2nd sub-picture element 106 is the same as the timing by which the subframe period SF 2 is started in the 1st sub-picture element 105. Similarly, the timing by which the subframe period SF 8\_2 is started in the 2nd sub-picture element 106 is the same as the timing by which the subframe period SF 6\_1 is started in the 1st sub-picture element 105. Similarly, the timing by which the subframe period SF 3 is started in the 2nd sub-picture element 106 is the same as the timing by which the subframe period SF 7\_2 is started in the 1st sub-picture element 105. Similarly, the timing by which the subframe period SF 5 is started in the 2nd sub-picture element 106 is the same as the timing by which the subframe period SF 8\_3 is started in the 1st sub-picture element 105. Similarly, the timing by which the subframe period SF 6\_2 is started in the 2nd sub-picture element 106 is the same as the timing by which the subframe period SF 1 is started in the 1st sub-picture element 105.

[0135] In this example, it is SF1:SF2:SF3:SF4:SF5:(SF6\_1+SF 6\_2):SF(SF7\_1+SF 7\_2):(SF8\_1+SF8\_2+SF 8\_3)=20:21:22:23:24:25:26:27. A desired gradation display can be performed among 28 gradation in the combination of this subframe period. In addition, the ratio of the die length of the subframe period corresponding to [ when driving using a n-bit digital video signal ] each bit is 20:21:-- It is set to :2 (n-1).

[0136] The sequence that a subframe period appears, and the bit to which the subframe period which appears in each sub-picture element corresponds have a selectable designer suitably.

[0137] In addition, in this example, the subframe period corresponding to the bit [ 6th ] digital video signal is divided into two, SF 6\_1 and SF 6\_2. Moreover, the subframe period corresponding to the bit [ 7th ] digital video signal is divided into two, SF 7\_1 and SF 7\_2. Moreover, the subframe period corresponding to the bit [ 8th ] digital video signal is divided into three, SF 8\_1, SF 8\_2, and SF 8\_3. However, the number of bits of the digital video signal with which the subframe period divided in this invention corresponds is not necessarily limited to this.

[0138] One or plural are sufficient as the subframe period to divide. However, in other words, it is desirable the subframe period corresponding to a high order bit and to divide sequentially from the subframe period when die length is long.

[0139] Moreover, as for to how many to be divided although the number of partitions of a subframe period has a selectable designer suitably, it is desirable to decide by balance of the drive rate of luminescence equipment and the display quality of an image demanded.

[0140] Moreover, although the same thing of the die length of the divided subframe period corresponding to the digital video signal of the same bit is desirable, this invention is not limited to this. The die length of the divided subframe period does not necessarily need to be the same.

[0141] Moreover, the number of partitions is not limited to this, either. And the subframe period could be divided, and the period (non-display period) which does not perform other subframe periods or a display may be established in between so that the divided subframe periods may not appear continuously in the same sub-picture element. In addition, in a non-display period, a light emitting device emits light in no pixels of a picture element part.

[0142] The above-mentioned configuration can protect generating of an animation false profile. However, this invention is not limited to this configuration and it is not necessary to necessarily divide it.

[0143] Moreover, the difference of the die length of subframe periods can be contracted by dividing a subframe period. therefore, the difference of the die length of the subframe period which two or more sub-picture elements which the same pixel has are alike, respectively, sets, and is started by coincidence can be contracted, the die length of the non-display period in an one-frame period can be shortened, and contrast can also be raised.

[0144] the luminescence equipment of this invention is performing the gradation display in the subframe period which two or more sub-picture elements which a pixel has are alike, respectively, sets, and appears by whether the light emitting device of each sub-picture element emits light, or it does not carry out. Therefore, it can stop that a subframe period becomes short compared with the case where a time-sharing drive is performed, with the common luminescence equipment which does not establish a sub-picture element. Therefore, even if the number of subframe periods increases, it can stop that the drive frequency of a source signal-line drive circuit becomes high. therefore, frame frequency -- not dropping -- in addition -- and it becomes possible to display an image with the high number of gradation, stopping that the drive frequency of a source signal-line drive circuit becomes high.

[0145] In addition, this invention cannot necessarily use only a 8-bit digital video signal. The corresponding number of bits can be suitably set up by the designer.

[0146] It combines with an example 1 freely and this example can be carried out.

[0147] (Example 4) This example explains the case where the subframe period which appears in each sub-picture element is mutually replaced for every frame period, in the luminescence equipment of this invention which has the configuration shown in drawing 1 (B).

[0148] The ratio of die length is shown with the sequence that the subframe period which appears in each sub-picture element appears in Table 4. In addition, the figure in a parenthesis is equivalent to the ratio of die length to other subframe periods of the subframe period concerned.

[0149]

[Table 4]

	第1フレーム期間			第2フレーム期間		
副画素1	SF3(4)	SF1(1)		SF4_1(4)	SF2(2)	SF4_2(4)
副画素2	SF4_1(4)	SF2(2)	SF4_2(4)	SF3(4)	SF1(1)	

[0150] In the 1st sub-picture element 105, the subframe periods SF3 and SF1 appear in order within the 1st frame period which appears previously. In the 2nd sub-picture element 106, the subframe period SF 4\_1, and SF2 and SF 4\_2 appear in order within the 1st frame period which appears previously.

[0151] Moreover, in the 1st sub-picture element 105, the subframe period SF 4\_1, and SF2 and SF 4\_2 appear in order within the 2nd frame period which appears behind. In the 2nd sub-picture element 106, the subframe periods SF3 and SF1 appear in order within the 2nd frame period which appears behind.

[0152] In addition, the subframe periods SF1-SF3 support the digital video signal of a 1 - triplet eye, respectively. Moreover, both the subframe periods [ SF / SF and / 4\_2 ] 4\_1 support the bit [ 4th ] digital video signal.

[0153] The timing by which the subframe period SF 4\_1 is started is the same as the timing by which the subframe period SF 3 is started. Moreover, the timing by which the subframe period SF 2 is started is the same as the timing by which the subframe period SF 1 is started. Moreover, when the subframe period SF 4\_2 has appeared in sub-picture element of one of the two, in sub-picture element of one of

the two, non-display BF has already appeared.

[0154] In this example, it is SF1:SF2:SF3:(SF4\_1+SF 4\_2) =20:21:22:23. A desired gradation display can be performed among 24 gradation in the combination of this subframe period.

[0155] In this example, the subframe period which appears in each sub-picture element is mutually replaced for every frame period, and the period when the light emitting device which each sub-picture element has by this emits light can be made into about [ mutually same ].

[0156] In addition, the sequence that a subframe period appears in this example, and the bit to which the subframe period which appears in each sub-picture element corresponds have a selectable designer suitably.

[0157] Moreover, in this example, the subframe period corresponding to the bit [ 4th ] digital video signal is divided into two, SF 4\_1 and SF 4\_2. However, the number of bits of the digital video signal with which the subframe period divided in this example corresponds is not necessarily limited to this. Moreover, the number of partitions is not limited to this, either.

[0158] One or plural are sufficient as the subframe period to divide. However, in other words, it is desirable the subframe period corresponding to a high order bit and to divide sequentially from the subframe period when the length is long.

[0159] Moreover, as for to how many to be divided although the number of partitions of a subframe period has a selectable designer suitably, it is desirable to decide by balance of the drive rate of luminescence equipment and the display quality of an image demanded.

[0160] In addition, this example cannot necessarily use only a 4-bit digital video signal. The corresponding number of bits can be suitably set up by the designer.

[0161] It combines with examples 1-3 freely, and this example can be carried out.

[0162] (Example 5) This example explains the pixel of a configuration of differing from having been shown in drawing 1 (B) in the luminescence equipment of this invention using drawing 8 .

[0163] The circuit diagram of the pixel of this example is shown in drawing 8 . The 1st sub-picture element 305 and the 2nd sub-picture element 306 which a pixel 304 has are sharing one current supply line V<sub>i</sub> (i is the number of the arbitration of 1-x).

[0164] Moreover, the 1st sub-picture element 305 and the 2nd sub-picture element 306 have every one different source signal line, and make the source signal line with which 1st source signal-line SL<sub>i</sub> (i is the number of the arbitration of 1-x) and the 2nd sub-picture element 306 have the source signal line which the 1st sub-picture element 305 has 2nd source signal-line SR<sub>i</sub> (i is the number of the arbitration of 1-x) in this example.

[0165] Moreover, the 1st sub-picture element 305 and the 2nd sub-picture element 306 It has every one different gate signal line for writing. In this example The gate signal line for writing by which gate signal line GaL<sub>j</sub> for the 1st writing (the number of the arbitration of j1-y) and the 2nd sub-picture element 306 have the gate signal line for writing which the 1st sub-picture element 305 has is made into gate signal line GaR<sub>j</sub> for the 2nd writing (the number of the arbitration of j1-y).

[0166] Moreover, the 1st sub-picture element 305 and the 2nd sub-picture element 306 have every one different gate signal line for elimination, and make the gate signal line for elimination by which gate signal line GeL<sub>j</sub> for the 1st elimination (the number of the arbitration of j1-y) and the 2nd sub-picture element 306 have the gate signal line for elimination which the 1st sub-picture element 305 has gate signal line GeR<sub>j</sub> for the 2nd elimination (the number of the arbitration of j1-y) in this example.

[0167] Moreover, each sub-picture element has TFT310 for switching, TFT311 for a drive, TFT312 for elimination, the light emitting device 313, and the capacitor 314, respectively.

[0168] The gate electrode of TFT310 for switching which each sub-picture element has is connected to gate signal line Ga<sub>j</sub> for writing which each sub-picture element has. In the case of this example, the gate electrode of TFT310 for switching which the 1st sub-picture element 305 has is connected to gate signal line GaL<sub>j</sub> for the 1st writing. Moreover, the gate electrode of TFT310 for switching which the 2nd sub-picture element 306 has is connected to gate signal line GaR<sub>j</sub> for the 2nd writing.

[0169] Moreover, another side is connected to the gate electrode of TFT311 for a drive which each sub-picture element has at the source signal line with which, as for the source field and drain field of

TFT310 for switching which each sub-picture element has, each sub-picture element has one side. In the case of this example, the source field and drain field of TFT310 for switching which the 1st sub-picture element 305 has are connected to the gate electrode of TFT311 for a drive with which, as for one side, the 1st sub-picture element 305 has another side in 1st source signal-line SL<sub>i</sub>. Moreover, the source field and drain field of TFT310 for switching which the 2nd sub-picture element 306 has are connected to the gate electrode of TFT311 for a drive with which, as for one side, the 2nd sub-picture element 306 has another side in 2nd source signal-line SR<sub>i</sub>.

[0170] It connects with the pixel electrode of a light emitting device 313 with which, as for the source field of TFT311 for a drive which each sub-picture element has, each sub-picture element has a drain field in current supply line V<sub>i</sub>, respectively.

[0171] Moreover, TFT312 for elimination which each sub-picture element has is connected to the gate signal line for elimination which each sub-picture element has, respectively. In the case of this example, the gate electrode of TFT312 for elimination which the 1st sub-picture element 305 has is connected to gate signal line GeL<sub>j</sub> for the 1st elimination, and the gate electrode of TFT312 for elimination which the 2nd sub-picture element 306 has is connected to gate signal line GeR<sub>j</sub> for the 2nd elimination.

[0172] Moreover, the source field and drain field of TFT312 for elimination which each sub-picture element has are connected to the gate electrode of TFT311 for a drive with which, as for one side, each sub-picture element has another side in current supply line V<sub>i</sub>.

[0173] In this example, gate signal line GaL<sub>j</sub> for the 1st writing and gate signal line GaR<sub>j</sub> for the 2nd writing are chosen as coincidence in a write-in period.

[0174] In this example, the number of TFT(s) for switching connected to one gate signal line for writing becomes half compared with the configuration shown in drawing 1 (B). Therefore, since the load of the gate signal line for writing becomes small, the speed of response at the time of choosing this signal line becomes early.

[0175] It combines with examples 1-4 freely, and this example can be carried out.

[0176] (Example 6) This example explains the case where three sub-picture elements are prepared at a time in each pixel, in the luminescence equipment of this invention.

[0177] The structure of the luminescence equipment of this invention is explained using drawing 9. Drawing 9 (A) is the block diagram of the panel for a display contained in the luminescence equipment of this invention. On the substrate (not shown), the picture element part 400, the source signal-line drive circuit 401, the gate signal line drive circuit 402 for writing, and the gate signal line drive circuit 403 for elimination are formed.

[0178] In addition, in this example, although the picture element part 400 and the drive circuit group (the source signal-line drive circuit 401, the gate signal line drive circuit 402 for writing, and the gate signal line drive circuit 403 for elimination are included) are formed on the same substrate, this invention is not limited to this configuration. It may be formed on the substrate with which a picture element part 400 differs from a drive circuit group, and you may connect mutually through connectors, such as FPC.

[0179] Moreover, the number of the source signal-line drive circuit 401 and gate signal line drive circuits (the gate signal line drive circuit 402 for writing and the gate signal line drive circuit 403 for elimination are included) is not limited to the number shown in drawing 9 (A). One or more source signal-line drive circuits 401 should just be formed. Moreover, one gate signal line drive circuit may be substituted for the gate signal line drive circuit 402 for writing, and the gate signal line drive circuit 403 for elimination that one or more gate signal line drive circuits should just be prepared.

[0180] Two or more pixels 404 are formed in the picture element part 400 in the shape of a matrix, and each pixel 404 has two or more sub-picture elements. In addition, the number of the sub-picture elements which each pixel has has as much as possible good production without limit. In this example, one pixel 404 has the 1st sub-picture element 405, the 2nd sub-picture element 406, and three sub-picture elements of the 3rd sub-picture element 407.

[0181] The circuit diagram of a pixel is shown in drawing 9 (B). The 1st sub-picture element 405 which a pixel 404 has, the 2nd sub-picture element 406, and the 3rd sub-picture element 407 are sharing one

current supply line  $V_i$  ( $i$  is the number of the arbitration of  $1-x$ ), and one gate signal line  $Ga_j$  for writing (the number of the arbitration of  $j1-y$ ).

[0182] Moreover, the 1st sub-picture element 405, the 2nd sub-picture element 406, and the 3rd sub-picture element 407 It has every one different source signal line. In this example The source signal line which the 1st sub-picture element 405 has 1st source signal-line  $SL_i$  ( $i$  is the number of the arbitration of  $1-x$ ), The source signal line with which 2nd source signal-line  $SR_i$  ( $i$  is the number of the arbitration of  $1-x$ ) and the 3rd sub-picture element 407 have the source signal line which the 2nd sub-picture element 406 has is made into 3rd source signal-line  $ST_i$  ( $i$  is the number of the arbitration of  $1-x$ ).

[0183] Moreover, the 1st sub-picture element 405, and the 2nd sub-picture element 406 and the 3rd sub-picture element 407 It has every one different gate signal line for elimination. In this example The gate signal line for elimination which the 1st sub-picture element 405 has Gate signal line  $GeL_j$  for the 1st elimination (the number of the arbitration of  $j1-y$ ), The gate signal line for elimination by which gate signal line  $GeR_j$  for the 2nd elimination (the number of the arbitration of  $j1-y$ ) and the 3rd sub-picture element 407 have the gate signal line for elimination which the 2nd sub-picture element 406 has is made into gate signal line  $GeT_j$  for the 3rd elimination (the number of the arbitration of  $j1-y$ ).

[0184] Moreover, each sub-picture element has TFT410 for switching, TFT411 for a drive, TFT412 for elimination, the light emitting device 413, and the capacitor 414, respectively.

[0185] The gate electrode of TFT410 for switching which each sub-picture element has is connected to gate signal line  $Ga_j$  for writing. Moreover, another side is connected to the gate electrode of TFT411 for a drive which each sub-picture element has at the source signal line with which, as for the source field and drain field of TFT410 for switching which each sub-picture element has, each sub-picture element has one side. In the case of this example, the source field and drain field of TFT410 for switching which the 1st sub-picture element 405 has are connected to the gate electrode of TFT411 for a drive with which, as for one side, the 1st sub-picture element 405 has another side in 1st source signal-line  $SL_i$ . Moreover, the source field and drain field of TFT410 for switching which the 2nd sub-picture element 406 has are connected to the gate electrode of TFT411 for a drive with which, as for one side, the 2nd sub-picture element 406 has another side in 2nd source signal-line  $SR_i$ . Moreover, the source field and drain field of TFT410 for switching which the 3rd sub-picture element 407 has are connected to the gate electrode of TFT411 for a drive with which, as for one side, the 3rd sub-picture element 407 has another side in 1st source signal-line  $ST_i$ .

[0186] It connects with the pixel electrode of a light emitting device 413 with which, as for the source field of TFT411 for a drive which each sub-picture element has, each sub-picture element has a drain field in current supply line  $V_i$ , respectively.

[0187] Moreover, TFT412 for elimination which each sub-picture element has is connected to the gate signal line for elimination which each sub-picture element has, respectively. In the case of this example, the gate electrode of TFT412 for elimination which the 1st sub-picture element 405 has is connected to gate signal line  $GeL_j$  for the 1st elimination, and the gate electrode of TFT412 for elimination which the 2nd sub-picture element 406 has is connected to gate signal line  $GeR_j$  for the 2nd elimination. Moreover, the gate electrode of TFT412 for elimination which the 3rd sub-picture element 407 has is connected to gate signal line  $GeT_j$  for the 3rd elimination.

[0188] Moreover, the source field and drain field of TFT412 for elimination which each sub-picture element has are connected to the gate electrode of TFT411 for a drive with which, as for one side, each sub-picture element has another side in current supply line  $V_i$ .

[0189] Thus, it is possible to set the number of the sub-picture elements which each pixel has as arbitration in this invention. The more there are many sub-picture elements, the more the die length of a subframe period can be stopped.

[0190] It combines with examples 1-5 freely, and this example can be carried out.

[0191] (Example 7) This example explains the detailed configuration of the source signal-line drive circuit included in the drive circuit group of the luminescence equipment of this invention, the gate signal line drive circuit for writing, and the gate signal line drive circuit for elimination.

[0192] The block diagram of the drive circuit of the luminescence equipment of this example is shown



in drawing 10 . drawing 10 -- (-- A --) -- the source -- a signal line -- a drive -- a circuit -- 601 -- it is -- a shift register -- 602 -- a latch -- (-- A --) -- 603 -- a latch -- (-- B --) -- 604 -- having -- \*\*\*\* .

[0193] In the source signal-line drive circuit 601, a clock signal (CLK) and a start pulse (SP) are inputted into a shift register 602. A shift register 602 generates a timing signal in order based on these clock signals (CLK) and start pulses (SP), and carries out the sequential input of the timing signal to a latter circuit through a buffer (not shown) etc.

[0194] Buffer magnification of the timing signal from a shift register 602 is carried out by a buffer etc. Since many circuits or components are connected to wiring into which a timing signal is inputted, load-carrying capacity (parasitic capacitance) is large. the standup of the timing signal produced since this load-carrying capacity is large, or" of falling -- this buffer is formed, in order to become blunt and to prevent ". In addition, it is not necessary to necessarily form a buffer.

[0195] The timing signal by which buffer magnification was carried out with the buffer is inputted into latch (A) 603. The latch (A) 603 has the latch of two or more stages who processes a n bit digital video signal. If said timing signal is inputted, latch (A) 603 will incorporate the n-bit digital video signal inputted from the outside of the source signal-line drive circuit 601 one by one, and will hold it.

[0196] In addition, in case a digital video signal is incorporated to latch (A) 603, a digital video signal may be inputted into the latch of two or more stages which latch (A) 603 has in order. However, this invention is not limited to this configuration. The latch of two or more stages which latch (A) 603 has may be divided into some groups, and the so-called division drive which inputs a digital video signal into coincidence in parallel for every group may be performed. In addition, the number of the groups at this time is called the number of partitions. For example, when a latch is divided into a group every four stages, it is said that a division drive is carried out by quadrisection.

[0197] Time amount until the writing of a digital video signal is briefly completed to the latch of all the of latch (A) 603 stages is called the Rhine period. In fact, the period when the horizontal blanking interval was added to the above-mentioned Rhine period may be included at the Rhine period.

[0198] Termination of an one-line period inputs a latch signal (Latch Signal) into latch (B) 604. At this moment, the digital video signals which are written in latch (A) 603 and held are sent out to latch (B) 604 all at once, are written in the latch of all the of latch (B) 604 stages, and are held.

[0199] a digital video -- a signal -- a latch -- (-- B --) -- 604 -- sending out -- having finished -- a latch -- (-- A --) -- 603 -- \*\*\*\* -- a shift register -- 602 -- from -- a timing signal -- being based -- a digital video -- a signal -- writing -- one by one -- carrying out -- having .

[0200] During the one-line period of eye this 2 order, it is written in latch (B) 604, and the digital video signal currently held is inputted into a source signal line.

[0201] Drawing 10 (B) is the block diagram showing the configuration of the gate signal line drive circuit for writing.

[0202] The gate signal line drive circuit 605 for writing has the shift register 606 and the buffer 607, respectively. Moreover, depending on the case, you may have the level shift.

[0203] In the gate signal line drive circuit 605 for writing, the timing signal from a shift register 606 is inputted into a buffer 607, and is inputted into the corresponding gate signal line for writing (the gate signal line for the 1st writing and the gate signal line for the 2nd writing are included). The gate electrode of TFT for switching of the pixel for one line is connected to the gate signal line for writing. And since TFT(s) for switching of the pixel for one line must be turned ON all at once, what has that possible a buffer passes a big current is used.

[0204] In addition, since the gate signal line drive circuit for elimination is the same as the configuration of the gate signal line drive circuit for writing, drawing 10 (B) is referred to. However, in the case of the gate signal line drive circuit for elimination, the output from a buffer is inputted into the gate signal line for elimination (the gate signal line for the 1st elimination and the gate signal line for the 2nd elimination are included). Moreover, the gate electrode of TFT for elimination of the pixel for one line is connected to the gate signal line for elimination. And since TFT(s) for elimination of the pixel for one line must be turned ON all at once, what has that possible a buffer passes a big current is used.

[0205] It combines with examples 1-6 freely, and this example can be carried out.



[0206] (Example 8) An example of the production approach of TFT which the luminescence equipment of this invention has is explained using drawing 11 - drawing 13. Here, how to produce to coincidence TFT for switching and TFT for a drive which were prepared in the picture element part of the luminescence equipment of this invention, and TFT of the mechanical component prepared around a picture element part is explained to a detail according to a process. Moreover, since TFT for elimination was producible like TFT for switching, it omitted explanation here.

[0207] First, the substrate 900 which consists of glass, such as barium borosilicate glass represented with this example by #7059 glass of Corning, Inc., #1737 glass, etc. or alumino borosilicate glass, is used. In addition, if it is the substrate which has translucency as a substrate 900, it will not be limited, but a quartz substrate may be used. Moreover, the plastic plate which has the thermal resistance which can bear the processing temperature of this example may be used.

[0208] Subsequently, as shown in drawing 11 (A), the substrate film 901 which consists of insulator layers, such as oxidation silicon film, a silicon nitride film, or an oxidation silicon nitride film, is formed on a substrate 900. Although two-layer structure is used as substrate film 901 in this example, the structure which carried out the laminating the monolayer of said insulator layer or more than two-layer may be used. 10-200nm (preferably 50-100nm) formation of the oxidation silicon nitride film formed considering SiH<sub>4</sub>, NH<sub>3</sub>, and N<sub>2</sub>O as reactant gas, using plasma-CVD method as eye much more 901 of substrate film 901 a is carried out. In this example, oxidation silicon nitride film of 50nm of thickness 901a (presentation ratio Si= 32%, O= 27%, N= 24%, H= 17%) was formed. Subsequently, laminating formation of the oxidation silicon nitride film 901b formed considering SiH<sub>4</sub> and N<sub>2</sub>O as reactant gas is carried out at the thickness of 50-200nm (preferably 100-150nm), using a plasma-CVD method as [ of the substrate film 901 ] a NI layer. In this example, oxidation silicon nitride film of 100nm of thickness 901b (presentation ratio Si= 32%, O= 59%, N= 7%, H= 2%) was formed.

[0209] Subsequently, the semi-conductor layers 902-905 are formed on the substrate film 901. Patterning of the crystalline substance semi-conductor film obtained by performing well-known crystallization processings (the heat crystallizing method using the catalyst of the laser crystallizing method, the heat crystallizing method, or nickel etc.) is carried out to a desired configuration, and the semi-conductor layers 902-905 form it, after forming the semi-conductor film which has amorphous structure with well-known means (LPCVD a spatter, law or a plasma-CVD method, etc.). The thickness of these semi-conductor layers 902-905 is formed by the thickness of 25-80nm (preferably 30-60nm). Although there is no limitation in the ingredient of the crystalline substance semi-conductor film, it is good to form preferably with silicon (silicon) or a silicon germanium (SiXGe<sub>1-X</sub> (X=0.0001-0.02)) alloy. After forming the 55nm amorphous silicon film using a plasma-CVD method, the solution containing nickel was made to hold on the amorphous silicon film in this example. After performing dehydrogenation (500 degrees C, 1 hour) on this amorphous silicon film, heat crystallization (550 degrees C, 4 hours) was performed, laser annealing processing for improving crystallization further was performed, and the crystalline substance silicon film was formed. And the semi-conductor layers 902-905 were formed by patterning [ film / this / crystalline substance silicon ] processing using the photolithography method.

[0210] Moreover, after forming the semi-conductor layers 902-905, in order to control the threshold of TFT, a minute amount impurity element (boron or Lynn) may be doped in the semi-conductor layers 902-905.

[0211] Moreover, when producing the crystalline substance semi-conductor film by the laser crystallizing method, the excimer laser of a pulse oscillation mold or a continuation luminescence mold, and an YAG laser and YVO<sub>4</sub> laser can be used. When using such laser, it is good to use the approach of condensing to a line the laser light emitted from the laser oscillation machine by optical system, and irradiating the semi-conductor film. Although an operation person makes \*\*\*\*\* selection, the conditions of crystallization are made into the pulse oscillation frequency of 300Hz when using an excimer laser, and make a laser energy consistency 100 - 400 mJ/cm<sup>2</sup> (typically 200 - 300 mJ/cm<sup>2</sup>). Moreover, it is good to consider as the pulse oscillation frequency of 30-300kHz using the 2nd higher harmonic, in using an YAG laser, and to make a laser energy consistency into 300 - 600 mJ/cm<sup>2</sup> (typically 350 - 500

mJ/cm<sup>2</sup>). and width of face of 100-1000 micrometers, for example, the laser light which condensed to the line by 400 micrometers, -- the whole substrate surface -- crossing -- irradiating -- the line at this time -- what is necessary is just to perform the rate of superposition of laser light (rate of overlap) as 50 - 90%

[0212] Subsequently, wrap gate dielectric film 906 is formed for the semi-conductor layers 902-905. Gate dielectric film 906 is formed using a plasma-CVD method or a spatter by the insulator layer which sets thickness to 40-150nm, and contains silicon. At this example, it formed by the thickness of 110nm by the plasma-CVD method the oxidation silicon nitride film (presentation ratio Si= 32%, O= 59%, N= 7%, H= 2%). Of course, gate dielectric film is not limited to an oxidation silicon nitride film, and may use the insulator layer containing other silicon as a monolayer or a laminated structure.

[0213] Moreover, when using the oxidation silicon film, TEOS (Tetraethyl Orthosilicate) and O<sub>2</sub> can be mixed by the plasma-CVD method, and it can consider as the reaction pressure of 40Pa, and the substrate temperature of 300-400 degrees C, it can be made to be able to discharge by RF (13.56MHz) power flux density 0.5 - 0.8 W/cm<sup>2</sup>, and can form. Thus, the oxidation silicon film produced can acquire a property good as gate dielectric film by 400-500-degree C heat annealing after that.

[0214] And the heat-resistant conductive layer 907 for forming a gate electrode on gate dielectric film 906 is formed by the thickness of 200-400nm (preferably 250-350nm). The heat-resistant conductive layer 907 is good also as a laminated structure which consists of two or more layers which could form by the monolayer and it said if needed were a bilayer or three layers. The alloy which uses as a component the element chosen from Ta, Ti, and W or said element, and the alloy film which combined said element is contained in a heat-resistant conductive layer. It is desirable to reduce the high impurity concentration contained in order that these heat-resistant conductive layers may be formed with a spatter or a CVD method and may attain low resistance-ization, and it is good to be referred to as 30 ppm or less especially about an oxygen density. At this example, W film is formed by the thickness of 300nm. W film may be formed by the spatter by the ability using W as a target, and can also be formed with a heat CVD method using 6 tungsten fluoride (WF<sub>6</sub>). Anyway, in order to use it as a gate electrode, it is necessary to attain low resistance-ization, and as for the resistivity of W film, it is desirable to make it 20 or less microomegacm. In W, although W film can attain low resistivity-ization by enlarging crystal grain, when there are many impurity elements, such as oxygen, crystallization is checked and forms it into high resistance. From this, when based on a spatter, resistivity 9 - 20microomegacm can be realized using the purity of 99.99%, or 99.9999% of W target by considering enough and forming W film so that there may be no mixing of the impurity out of a gaseous phase further at the time of membrane formation.

[0215] It is possible to form by the spatter similarly on the other hand, in using Ta film for the heat-resistant conductive layer 907. Ta film uses Ar for sputtering gas. Moreover, if Xe and Kr of optimum dose are added into the gas at the time of a spatter, the internal stress of the film to form can be eased and exfoliation of the film can be prevented. Although the resistivity of Ta film of alpha phase is 20microomegacm extent and it could be used for the gate electrode, the resistivity of Ta film of a parent phase was unsuitable for being 180microomegacm extent and considering as a gate electrode. Since the TaN film has the crystal structure near alpha phase, if the TaN film is formed in the substrate of Ta film, Ta film of alpha phase will be obtained easily. Moreover, although not illustrated, it is effective to form in the bottom of the heat-resistant conductive layer 907 the silicone film which doped Lynn (P) by the thickness of about 2-20nm. While this plans the improvement in adhesion of the electric conduction film and antioxidizing which are formed on it, it can prevent spreading the alkali metals which the heat-resistant conductive layer 907 contains in a minute amount in the gate dielectric film 906 of the 1st configuration. Anyway, as for the heat-resistant conductive layer 907, it is desirable to carry out resistivity in the range of 10 - 50microomegacm.

[0216] Next, the mask 908 by the resist is formed using the technique of photolithography. And 1st etching processing is performed. In this example, it carries out by using Cl<sub>2</sub> and CF<sub>4</sub> for the gas for etching, switching on RF (13.56MHz) power of 3.2 W/cm<sup>2</sup> by the pressure of 1Pa using an ICP etching system, and forming the plasma. RF (13.56MHz) power of 224 mW/cm<sup>2</sup> is supplied also to a substrate

side (sample stage), and, thereby, a negative auto-bias electrical potential difference is impressed substantially. The etch rates of W film are about 100 nm/min on this condition. Based on this etch rate, the 1st etching processing presumed the time amount into which W film is etched exactly, and made etching time time amount to which etching time was made to increase from it by 20%.

[0217] The conductive layers 909-912 which have the 1st taper configuration by 1st etching processing are formed. The include angle of the taper section of conductive layers 909-912 is formed so that it may become 15-30 degrees. In order to etch without leaving residue, over etching to which etching time is made to increase at about 10 - 20% of a rate shall be given. Since the selection ratios of an oxidation silicon nitride film (gate dielectric film 906) to W film are 2-4 (typically 3), about 20-50nm of fields which the oxidation silicon nitride film exposed is etched by over etching processing. ( Drawing 11 (B))

[0218] And 1st doping processing is performed and the impurity element of one conductivity type is added in a semi-conductor layer. Here, the process of the impurity element addition which gives n mold is performed. It leaves the mask 908 in which the conductive layer of the 1st configuration was formed, as it is, and the impurity element which gives n mold in self align by using as a mask the conductive layers 909-912 which have the 1st taper configuration is added by the ion doping method. It lets the taper section and gate dielectric film 906 pass, in order to add so that the semi-conductor layer located in the bottom of it may be reached, a dose is made into  $1 \times 10^{13}$  -  $5 \times 10^{14}$  atoms/cm<sup>2</sup>, and acceleration voltage is performed as 80-160keV. [ in / for the impurity element which gives n mold / the edge of a gate electrode ] the element which belongs to 15 groups as an impurity element which gives n mold -- typical -- Lynn -- although (P) or arsenic (As) is used -- here -- Lynn -- (P) was used. The impurity element which gives n mold to the 1st impurity range 914-917 by such ion doping method by the density range of  $1 \times 10^{20}$  -  $1 \times 10^{21}$  atomic/cm<sup>3</sup> is added. ( Drawing 11 (C))

[0219] In this process, depending on the conditions of doping, an impurity turns to the bottom of the conductive layers 909-912 of the 1st configuration, and is full, and it may also happen that the 1st impurity range 914-917 laps with the conductive layers 909-912 of the 1st configuration.

[0220] Next, as shown in drawing 11 (D), 2nd etching processing is performed. An ICP etching system performs etching processing similarly, the mixed gas of CF<sub>4</sub> and Cl<sub>2</sub> is used for etching gas, and it etches by RF power 3.2 W/cm<sup>2</sup> (13.56MHz), bias power 45 mW/cm<sup>2</sup> (13.56MHz), and the pressure of 1.0Pa. The conductive layers 918-921 which have the 2nd configuration formed on this condition are formed. The taper section is formed in the edge and it becomes the taper configuration which thickness increases from this edge gradually toward the inside. The rate of the part isotropic etching which made low bias power impressed to a substrate side as compared with the 1st etching processing increases, and the include angle of the taper section becomes 30-60 degrees. A mask 908 is etched, can delete an edge and turns into a mask 922. Moreover, in the process of drawing 11 (D), about 40nm of front faces of gate dielectric film 906 is etched.

[0221] And the impurity element which lowers a dose and gives n mold on condition that high acceleration voltage rather than the 1st doping processing is doped. For example, acceleration voltage is set to 70-120keV, it carries out with the dose of  $1 \times 10^{13}$  /cm<sup>2</sup>, and the 1st impurity range 924-927 where high impurity concentration became large, and the 2nd impurity range 928-931 adjacent to said 1st impurity range 924-927 are formed. In this process, depending on the conditions of doping, an impurity turns to the bottom of the conductive layers 918-921 of the 2nd configuration, and is full, and it may also happen that the 2nd impurity range 928-931 laps with the conductive layers 918-921 of the 2nd configuration. It is made for the high impurity concentration in the 2nd impurity range to serve as  $1 \times 10^{16}$  -  $1 \times 10^{18}$  atoms/cm<sup>3</sup>. ( Drawing 12 (A))

[0222] And as shown in drawing 12 (B), the impurity ranges 933 (933a, 933b) and 934 (934a, 934b) of a conductivity type contrary to one conductivity type are formed in the semi-conductor layers 902 and 905 which form the p channel mold TFT. The impurity element which gives p mold by using the conductive layers 918 and 921 of the 2nd configuration as a mask also in this case is added, and an impurity range is formed in self align. At this time, the semi-conductor layers 903 and 904 which form the n channel mold TFT form the mask 932 of a resist, and cover the whole surface. The impurity ranges 933 and 934 formed here are formed by the ion doping method for having used diboron hexahydride (B-2 H<sub>6</sub>). It is

made for the concentration of the impurity element which gives p mold of impurity ranges 933 and 934 to serve as  $2 \times 10^{20}$  -  $2 \times 10^{21}$  atoms/cm<sup>3</sup>.

[0223] However, in a detail, these impurity ranges 933 and 934 can be divided into two fields containing the impurity element which gives n mold, and can be seen. The 3rd impurity range 933a and 934a contains the impurity element with which the 4th impurity range 933b and 934b gives n mold by the concentration of  $1 \times 10^{17}$  -  $1 \times 10^{20}$  atoms/cm<sup>3</sup> including the impurity element which gives n mold by the concentration of  $1 \times 10^{20}$  -  $1 \times 10^{21}$  atoms/cm<sup>3</sup>. However, the concentration of the impurity element which gives p mold of these 4th impurity range 933b and 934b is made to become three or more  $1 \times 10^{19}$  atoms/cm. In the 3rd impurity range 933a and 934a By making it become 1.5 to 3 of the concentration of the impurity element which gives n mold times, in order to function as the source field and drain field of the p channel mold TFT in the 3rd impurity range, a problem does not produce at all the concentration of the impurity element which gives p mold.

[0224] Then, as shown in drawing 12 (C), the 1st interlayer insulation film 937 is formed on the conductive layers 918-921 which have the 2nd configuration, and gate dielectric film 906. What is necessary is just to form the 1st interlayer insulation film 937 by the oxidation silicone film, the oxidation silicon nitride film, the silicon nitride film, or the cascade screen that combined these. Anyway, the 1st interlayer insulation film 937 is formed from an inorganic insulating material ingredient. The thickness of the 1st interlayer insulation film 937 may be 100-200nm. When using an oxidation silicone film as the 1st interlayer insulation film 937, TEOS and O<sub>2</sub> can be mixed by the plasma-CVD method, and it can consider as the reaction pressure of 40Pa, and the substrate temperature of 300-400 degrees C, it can be made to be able to discharge by RF (13.56MHz) power flux density 0.5 - 0.8 W/cm<sup>2</sup>, and can form. Moreover, what is necessary is just to form with the oxidation silicon nitride film produced from the oxidation silicon nitride film produced from SiH<sub>4</sub>, N<sub>2</sub>O, and NH<sub>3</sub> by the plasma-CVD method or SiH<sub>4</sub>, and N<sub>2</sub>O, in using an oxidation silicon nitride film as the 1st interlayer insulation film 937. The production conditions in this case can be made into the reaction pressure of 20-200Pa, and the substrate temperature of 300-400 degrees C, and can be formed by RF (60MHz) power flux density 0.1 - 1.0 W/cm<sup>2</sup>. Moreover, SiH<sub>4</sub>, N<sub>2</sub>O, and the oxidation nitriding hydrogenation silicone film produced from H<sub>2</sub> may be applied as the 1st interlayer insulation film 937. A silicon nitride film can also be similarly produced from SiH<sub>4</sub> and NH<sub>3</sub> by the plasma-CVD method.

[0225] And the process which activates the impurity element which gives n mold or p mold added by each concentration is performed. This process is performed by the heat annealing method for using a furnace annealing furnace. In addition, the laser annealing method or the rapid thermal annealing method (RTA law) is applicable. By the heat annealing method, an oxygen density performs 400-700 degrees C at 500-600 degrees C typically in nitrogen-gas-atmosphere mind 0.1 ppm or less preferably, and performed 1 ppm or less of heat treatments of 4 hours at 550 degrees C at this example. Moreover, when using a plastic plate with heat-resistant low temperature for a substrate 501, it is desirable to apply the laser annealing method.

[0226] Following the process of activation, a controlled atmosphere is changed, in the ambient atmosphere containing 3 - 100% of hydrogen, heat treatment of 1 - 12 hours is performed at 300-450 degrees C, and the process which hydrogenates a semi-conductor layer is performed. This process is a process which carries out termination of the dangling bond of  $10^{16}$ - $10^{18}$ /cm<sup>3</sup> which is in a semi-conductor layer by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed. anyway, the thing for which defect density in the semi-conductor layer 902-905 is set to three or less  $10^{16}$ /cm -- desirable -- therefore, hydrogen -- about 0.01-0.1 atomic% -- what is necessary is just to give

[0227] And the 2nd interlayer insulation film 939 which consists of an organic insulating material ingredient is formed by 1.0-2.0-micrometer average thickness. As an organic resin ingredient, polyimide, an acrylic, a polyamide, polyimidoamide, BCB (benz-cyclo-butene), etc. can be used. For example, in using the polyimide of the type which carries out thermal polymerization after applying to a substrate, it calcinates and forms at 300 degrees C in clean oven. Moreover, in using an acrylic, after mixing a curing agent with a principal member using the thing of 2 acidity or alkalinity and applying all

over a substrate using a spinner, a hot plate performs preheating for 60 seconds at 80 degrees C, and further, in clean oven, at 250 degrees C, it can calcinate for 60 minutes and can form.

[0228] Thus, flattening of the front face can be carried out good by forming the 2nd interlayer insulation film 939 with an organic insulating material ingredient. Moreover, since the dielectric constant is generally low, an organic resin ingredient can reduce parasitic capacitance. However, since it is hygroscopic and is not suitable as a protective coat, it is good to use like this example combining the oxidation silicon film formed as the 1st interlayer insulation film 937, an oxidation silicon nitride film, a silicon nitride film, etc.

[0229] Then, the contact hole which arrives at the impurity range which the resist mask of a predetermined pattern is formed, and it is formed in each semi-conductor layer, and is made into a source field or a drain field is formed. A contact hole is formed by the dry etching method. In this case, the 2nd interlayer insulation film 939 which uses the mixed gas of CF<sub>4</sub>, O<sub>2</sub>, and helium for etching gas, and consists of an organic resin ingredient is etched first, and the 1st interlayer insulation film 937 is continuously etched for etching gas as CF<sub>4</sub> and O<sub>2</sub> after that. Furthermore, in order to raise a selection ratio with a semi-conductor layer, a contact hole can be formed by changing etching gas to CHF<sub>3</sub> and etching the gate dielectric film 570 of the 3rd configuration.

[0230] And a conductive metal membrane is formed with a sputter or vacuum evaporation technique, and source wiring 940-943 and the drain wiring 944-946 are formed by carrying out patterning and etching after that with a mask. Although not illustrated, at this example, it formed by the cascade screen of Ti film of this wiring and 50nm of thickness, and the alloy film (alloy film of aluminum and Ti) of 500nm of thickness.

[0231] Subsequently, the pixel electrode 947 is formed by forming and carrying out patterning of the transference electric conduction film by the thickness of 80-120nm on it ( drawing 13 (A)). In addition, in this example, the transference electric conduction film which mixed the zinc oxide (ZnO) of 2-20 [%] is used for the indium oxide tin (ITO) film or indium oxide as a transparent electrode.

[0232] Moreover, the drain field of TFT963 for a drive and electric connection are formed by forming the pixel electrode 947 in piles in contact with the drain wiring 946.

[0233] Next, as shown in drawing 13 (B), the 3rd interlayer insulation film 949 which has opening is formed in the location corresponding to the pixel electrode 947. It has the role which the 3rd interlayer insulation film 949 has insulation, functions as a bank, and separates the organic compound layer of the adjoining pixel. In this example, the 3rd interlayer insulation film 949 is formed using a resist.

[0234] In this example, thickness of the 3rd interlayer insulation film 949 is set to about 1 micrometer, and opening is formed so that it may become the shape of so-called inverse tapered shape which becomes larger as it becomes close to the pixel electrode 947. After it forms a resist, it covers except the part which is going to form opening with a mask, and this irradiates UV light, it is exposed and is formed by removing the exposed part with a developer.

[0235] Since an organic compound layer is divided by adjacent pixels when an organic compound layer is formed in a next process like this example by making the 3rd interlayer insulation film 949 into the shape of an inverse tapered shape, even if the coefficient of thermal expansion of the 3rd interlayer insulation film 949 differs from the organic compound layer, it can suppress that an organic compound layer crocodiles or exfoliates.

[0236] In addition, in this example, although the film which becomes by the resist as the 3rd interlayer insulation film is used, depending on the case, polyimide, a polyamide, an acrylic, BCB (benz-cyclobutene), the oxidation silicon film, etc. can also be used. As long as the 3rd interlayer insulation film 949 is matter which has insulation, either the organic substance or an inorganic substance is OK as it.

[0237] Next, the organic compound layer 950 is formed with vacuum deposition, and cathode (MgAg electrode) 951 and the protection electrode 952 are further formed with vacuum deposition. It is desirable to precede to form the organic compound layer 950 and cathode 951 at this time, to heat-treat to the pixel electrode 947, and to remove moisture completely. In addition, although a MgAg electrode is used as cathode of a light emitting device in this example, you may be other well-known ingredients.

[0238] In addition, a well-known ingredient can be used as an organic compound layer 950. Although

two-layer structure which becomes by the electron hole transportation layer (Hole transporting layer) and the luminous layer (Emitting layer) is used as an organic compound layer in this example, either a hole injection layer, an electronic injection layer or an electronic transportation layer may be prepared. Thus, various examples are already reported and combination may use which the configuration.

[0239] In this example, polyphenylene vinylene is formed with vacuum deposition as an electron hole transportation layer. Moreover, as a luminous layer, what carried out molecular dispersion of the PBD of 1, 3, and 4-OKISA diazole derivative to the polyvinyl carbazole 30 to 40% was formed with vacuum deposition, and the coumarin 6 is added about 1% as a green emission center.

[0240] Moreover, although it is possible for the protection electrode 952 to also protect the organic compound layer 950 from moisture or oxygen, it is good to form a protective coat 953 still more preferably. In this example, the silicon nitride film of 300nm thickness is prepared as a protective coat 953. You may form continuously without this protective coat's also carrying out atmospheric-air release after the protection electrode 952.

[0241] Moreover, the protection electrode 952 has the typical metal membrane which is prepared in order to prevent degradation of cathode 951, and uses aluminum as a principal component. Of course, other ingredients are sufficient. Moreover, since the organic compound layer 950 and cathode 951 are very weak for moisture, it is desirable to form continuously without carrying out atmospheric-air release even of the protection electrode 952, and to protect an organic compound layer from the open air.

[0242] In addition, what is necessary is just to set to 80-200 [nm] (typically 100-150 [nm]) thickness whose thickness of the organic compound layer 950 is 10-400 [nm] (typically 60-150 [nm]), and cathode 951.

[0243] In this way, the luminescence equipment of structure as shown in drawing 13 (B) is completed. In addition, the pixel electrode 947, the organic compound layer 950, and the part 954 with which cathode 951 has lapped are equivalent to a light emitting device.

[0244] The p channel mold TFT960 and the n channel mold TFT961 are TFT(s) which the drive circuit 970 has, and form CMOS. TFT962 for switching and TFT963 for a drive are TFT(s) which a picture element part 971 has, and can form TFT of the drive circuit 970, and TFT of a picture element part 971 on the same substrate.

[0245] In addition, since about 10V is enough as the electrical potential difference of the power source of a drive circuit also about 5-6V and at max in the case of the luminescence equipment using a light emitting device, in TFT, degradation by the hot electron seldom becomes a problem. Moreover, since it is necessary to operate a drive circuit at high speed, the smaller one of the gate capacitance of TFT is desirable. Therefore, it is desirable like this example that the 2nd impurity range 929 which the semiconductor layer of TFT has, and 4th impurity range 933b make it the configuration which does not lap with the gate electrodes 918 and 919, respectively in the drive circuit of the luminescence equipment using a light emitting device.

[0246] The production approach of the luminescence equipment of this invention is not limited to the production approach explained in this example. The luminescence equipment of this invention can be produced using a well-known approach.

[0247] In addition, it combines with examples 1-7 freely, and this example can be carried out.

[0248] (Example 9) This example explains the production approach of luminescence equipment which is different in an example 8.

[0249] The process until it forms the 2nd interlayer insulation film 939 is the same as an example 5. As shown in drawing 14 (A), after forming the 2nd interlayer insulation film 939, the passivation film 939 is formed so that the 2nd interlayer insulation film 939 may be touched.

[0250] The passivation film 939 has the moisture effective for preventing going into the organic compound layer 950 through the pixel electrode 947 and the 3rd interlayer insulation film 982 contained in the 2nd interlayer insulation film 939. When the 2nd interlayer insulation film 939 has the organic resin ingredient, since an organic resin ingredient contains many moisture, especially its thing to establish for the passivation film 939 is effective.

[0251] In this example, the silicon nitride film was used as passivation film 939.

[0252] Then, the contact hole which arrives at the impurity range which the resist mask of a predetermined pattern is formed, and it is formed in each semi-conductor layer, and is made into a source field or a drain field is formed. A contact hole is formed by the dry etching method. In this case, the 2nd interlayer insulation film 939 which uses the mixed gas of CF<sub>4</sub>, O<sub>2</sub>, and helium for etching gas, and consists of an organic resin ingredient is etched first, and the 1st interlayer insulation film 937 is continuously etched for etching gas as CF<sub>4</sub> and O<sub>2</sub> after that. Furthermore, in order to raise a selection ratio with a semi-conductor layer, a contact hole can be formed by changing etching gas to CHF<sub>3</sub> and etching the gate dielectric film 570 of the 3rd configuration.

[0253] And a conductive metal membrane is formed with a sputter or vacuum evaporation technique, and source wiring 940-943 and the drain wiring 944-946 are formed by carrying out patterning and etching after that with a mask. Although not illustrated, at this example, it formed by the cascade screen of Ti film of this wiring and 50nm of thickness, and the alloy film (alloy film of aluminum and Ti) of 500nm of thickness.

[0254] Subsequently, the pixel electrode 947 is formed by forming and carrying out patterning of the transference electric conduction film by the thickness of 80-120nm on it ( drawing 14 (A)). In addition, in this example, the transference electric conduction film which mixed the zinc oxide (ZnO) of 2-20 [%] is used for the indium oxide tin (ITO) film or indium oxide as a transparent electrode.

[0255] Moreover, the drain field of TFT for a drive and electric connection are formed by forming the pixel electrode 947 in piles in contact with the drain wiring 946.

[0256] Next, as shown in drawing 14 (B), the 3rd interlayer insulation film 982 which has opening is formed in the location corresponding to the pixel electrode 947. At this example, when forming opening, it considered as the side attachment wall of a taper configuration by using the wet etching method. The organic compound layer which is formed on the 3rd interlayer insulation film 982 unlike the case where it is shown in an example 5 needs to keep in mind that degradation of the organic compound layer which originates in a level difference if the side attachment wall of opening is not fully gently-sloping since it is not divided poses a remarkable problem.

[0257] In addition, in this example, although the film which becomes with oxidation silicon as the 3rd interlayer insulation film 982 is used, depending on the case, organic resin film, such as polyimide, a polyamide, an acrylic, and BCB (benz-cyclo-butene), can also be used.

[0258] And before forming the organic compound layer 950 on the 3rd interlayer insulation film 982, it is desirable to perform plasma treatment which used the argon for the front face of the 3rd interlayer insulation film 982, and to carry out eburnation of the front face of the 3rd interlayer insulation film 982. The above-mentioned configuration can protect that moisture goes into the organic compound layer 950 from the 3rd interlayer insulation film 982.

[0259] Next, the organic compound layer 950 is formed with vacuum deposition, and cathode (MgAg electrode) 951 and the protection electrode 952 are further formed with vacuum deposition. It is desirable to precede to form the organic compound layer 950 and cathode 951 at this time, to heat-treat to the pixel electrode 947, and to remove moisture completely. In addition, although a MgAg electrode is used as cathode of a light emitting device in this example, you may be other well-known ingredients.

[0260] In addition, a well-known ingredient can be used as an organic compound layer 950. Although two-layer structure which becomes by the electron hole transportation layer (Hole transporting layer) and the luminous layer (Emitting layer) is used as an organic compound layer in this example, either a hole injection layer, an electronic injection layer or an electronic transportation layer may be prepared. Thus, various examples are already reported and combination may use which the configuration.

[0261] In this example, polyphenylene vinylene is formed with vacuum deposition as an electron hole transportation layer. Moreover, as a luminous layer, what carried out molecular dispersion of the PBD of 1, 3, and 4-OKISA diazole derivative to the polyvinyl carbazole 30 to 40% was formed with vacuum deposition, and the coumarin 6 is added about 1% as a green emission center.

[0262] Moreover, although it is possible for the protection electrode 952 to also protect the organic compound layer 950 from moisture or oxygen, it is good to form a protective coat 953 still more preferably. In this example, the silicon nitride film of 300nm thickness is prepared as a protective coat



953. You may form continuously without this protective coat's also carrying out atmospheric-air release after the protection electrode 952.

[0263] Moreover, the protection electrode 952 has the typical metal membrane which is prepared in order to prevent degradation of cathode 951, and uses aluminum as a principal component. Of course, other ingredients are sufficient. Moreover, since the organic compound layer 950 and cathode 951 are very weak for moisture, it is desirable to form continuously without carrying out atmospheric-air release even of the protection electrode 952, and to protect an organic compound layer from the open air.

[0264] In addition, what is necessary is just to set to 80-200 [nm] (typically 100-150 [nm]) thickness whose thickness of the organic compound layer 950 is 10-400 [nm] (typically 60-150 [nm]), and cathode 951.

[0265] In this way, the luminescence equipment of structure as shown in drawing 14 (B) is completed. In addition, the pixel electrode 947, the organic compound layer 950, and the part 954 with which cathode 951 has lapped are equivalent to a light emitting device.

[0266] The p channel mold TFT960 and the n channel mold TFT961 are TFT(s) which the drive circuit 970 has, and form CMOS. TFT962 for switching and TFT963 for a drive are TFT(s) which a picture element part 971 has, and can form TFT of the drive circuit 970, and TFT of a picture element part 971 on the same substrate.

[0267] The production approach of the luminescence equipment of this invention is not limited to the production approach explained in this example. TFT which the luminescence equipment of this invention has can be produced using a well-known approach.

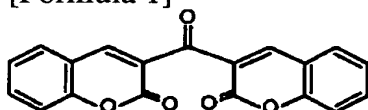
[0268] In addition, it combines with examples 1-8 freely, and this example can be carried out.

[0269] (Example 10) In this invention, external luminescence quantum efficiency can be raised by leaps and bounds by using the organic compound ingredient which can use the phosphorescence from a triplet exciton for luminescence. Thereby, low-power-izing of a light emitting device, reinforcement, and lightweight-ization are attained.

[0270] Here, a triplet exciton is used and the report which raised external luminescence quantum efficiency is shown. [(T. Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.KHonda (Elsevier Sci.Pub., Tokyo, 1991), p.437.) 0271] The molecular formula of the organic compound ingredient (coumarin coloring matter) reported by the above-mentioned paper is shown below.

[0272]

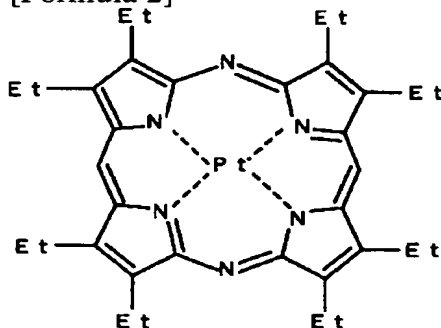
[Formula 1]



[0273] [(M. A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.) 0274] The molecular formula of the organic compound ingredient (Pt complex) reported by the above-mentioned paper is shown below.

[0275]

[Formula 2]



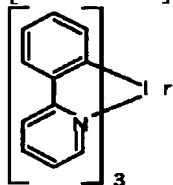


[0276] It Lamansk(ies). M. -- A.Baldo and S. -- P. E.Burrows and M.E.Thompson, S. -- R.Forrest, Appl.Phys.Lett., and 75 (1999) p.4. (it Watanabe(s) T. -- Tsutsui, M.-J.Yang, M.Yahiro, KNakamura, and T. --) T. (1999) tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) L1502.

[0277] The molecular formula of the organic compound ingredient (Ir complex) reported by the above-mentioned paper is shown below.

[0278]

[Formula 3]



[0279] If phosphorescence luminescence from a triplet exciton can be used as mentioned above, implementation of one 3 to 4 times the high external luminescence quantum efficiency of this will be attained from the case where the firefly luminescence from a singlet exciton is used theoretically.

[0280] In addition, it combines with any configuration of an example 1 - an example 9 freely, and the configuration of this example can be carried out.

[0281] (Example 11) This example explains the example which produced the luminescence equipment of this invention using drawing 15.

[0282] Drawing 15 (A) is the plan of the luminescence equipment formed by closing the substrate (TFT substrate) with which a light emitting device and TFT were formed in the front face with a sealing material, and a sectional view [ in / in drawing 15 (B) / A-A' of drawing 15 (A) ] and drawing 15 (C) are the sectional views in B-B' of drawing 15 (A).

[0283] The sealant 4009 is formed, as it writes in with the picture element part 4002 prepared on the substrate 4001, and the source signal-line drive circuit 4003 and business and the gate signal line drive circuits 4004a and b for elimination are surrounded. Moreover, it writes in with a picture element part 4002 and the source signal-line drive circuit 4003, and the sealing material 4008 is formed on business and the gate signal line drive circuits 4004a and b for elimination. Therefore, it writes in with a picture element part 4002 and the source signal-line drive circuit 4003, and business and the gate signal line drive circuits 4004a and b for elimination are sealed with the filler 4210 by the substrate 4001, the sealant 4009, and the sealing material 4008.

[0284] Moreover, it writes in with the picture element part 4002 prepared on the substrate 4001, and the source signal-line drive circuit 4003, and business and the gate signal line drive circuits 4004a and b for elimination have two or more TFT(s). In drawing 15 (B), TFT4202 for a drive (TFT which controls the current to a light emitting device) typically contained in TFT4201 for drive circuits (however, the n channel mold TFT and the p channel mold TFT are illustrated here) and the picture element part 4002 which were formed on the substrate film 4010, and which are contained in the source signal-line drive circuit 4003 was illustrated. TFT 4201 and 4202 is formed on the substrate film 4010.

[0285] In this example, the p channel mold TFT or the n channel mold TFT produced by the well-known approach is used for TFT4201 for drive circuits, and the p channel mold TFT produced by the well-known approach is used for TFT4202 for a drive. Moreover, the retention volume (not shown) connected to the gate of TFT4202 for a drive is prepared in a picture element part 4002.

[0286] On TFT4201 for drive circuits, and TFT4202 for a drive, an interlayer insulation film (flattening film) 4301 is formed, and the pixel electrode (anode plate) 4203 electrically connected with the drain field of TFT4202 for a drive is formed on it. As a pixel electrode 4203, the large transparence electric conduction film of a work function is used. As transparence electric conduction film, the compound of indium oxide and the tin oxide, the compound of indium oxide and a zinc oxide, a zinc oxide, the tin oxide, or indium oxide can be used. Moreover, what added the gallium may be used for said

transparence electric conduction film.

[0287] And an insulator layer 4302 is formed on the pixel electrode 4203, and, as for the insulator layer 4302, opening is formed on the pixel electrode 4203. In this opening, the organic compound layer 4204 is formed on the pixel electrode 4203. The well-known organic compound ingredient or inorganic compound ingredient with which the luminescence generated by adding electric field is obtained can be used for the organic compound layer 4204. Moreover, whichever may be used although there are a low-molecular system (monomer system) ingredient and a macromolecule system (polymer system) ingredient as organic compound ingredient.

[0288] The formation approach of the organic compound layer 4204 should just use a well-known vacuum evaporation technique or the applying method technique. Moreover, what is necessary is just to make structure of an organic compound layer into a laminated structure or monolayer structure, combining freely a hole injection layer, an electron hole transportation layer, a luminous layer, an electronic transportation layer, or an electronic injection layer.

[0289] On the organic compound layer 4204, the cathode 4205 which consists of electric conduction film (the electric conduction film which uses aluminum, copper, or silver as a principal component typically, or cascade screen of them and other electric conduction film) which has protection-from-light nature is formed. Moreover, as for the moisture which exists in the interface of cathode 4205 and the organic compound layer 4204, or oxygen, eliminating as much as possible is desirable. Therefore, the device of forming the organic compound layer 4204 in nitrogen or a rare-gas ambient atmosphere, and forming cathode 4205, making neither oxygen nor moisture touched is required. At this example, the above membrane formation is enabled by using the membrane formation equipment of a multi chamber method (cluster tool method). And the electrical potential difference predetermined in cathode 4205 is given.

[0290] The light emitting device 4303 which consists of the pixel electrode (anode plate) 4203, an organic compound layer 4204, and cathode 4205 as mentioned above is formed. And the protective coat 4209 is formed on the insulator layer 4302 so that a light emitting device 4303 may be covered. The protective coat 4209 is effective for preventing oxygen, moisture, etc. entering into a light emitting device 4303.

[0291] 4005a is leading-about wiring connected to the current supply line, and is electrically connected to the source field of TFT4202 for a drive. Leading-about wiring 4005a passes along between a sealant 4009 and substrates 4001, and is electrically connected to the wiring 4401 for FPC which FPC4006 has through the anisotropic conductive film 4300.

[0292] As a sealing material 4008, glass material, metal material (typically stainless steel material), ceramic material, and plastics material (plastic film is also included) can be used. As plastics material, an FRP (Fiberglass-Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, polyester film, or an acrylic resin film can be used. Moreover, the sheet of the structure which sandwiched aluminium foil with the PVF film or the Mylar film can also be used.

[0293] However, a sealing material must be transparent when the direction of a light emission from a light emitting device goes to a sealing material side. In that case, transparence matter like a glass plate, a plastic sheet, polyester film, or an acrylic film is used.

[0294] Moreover, the ultraviolet-rays hardening resin or heat-curing resin other than a gas with nitrogen, an argon, etc. inactive as a filler 4210 can be used, and PVC (polyvinyl chloride), an acrylic, polyimide, an epoxy resin, silicone resin, and PVB (polyvinyl BUCHIRARU) or EVA (ethylene vinyl acetate) can be used. In this example, nitrogen was used as a filler.

[0295] Moreover, in order to expose the filler 4210 to the matter which can adsorb the hygroscopic matter (preferably barium oxide) or oxygen, the matter 4207 which establishes a crevice 4007 in the field by the side of a sealing material's 4008 substrate 4001, and can adsorb the hygroscopic matter or oxygen is arranged. And the matter 4207 which can adsorb the hygroscopic matter or oxygen by the crevice covering material 4208 is held in the crevice 4007 so that the matter 4207 which can adsorb the hygroscopic matter or oxygen may not scatter. In addition, the crevice covering material 4208 is the shape of a fine mesh of an eye, and the matter 4207 with which air and moisture can adsorb through, the

hygroscopic matter, or oxygen has composition which it does not let pass. Degradation of a light emitting device 4303 can be controlled by forming the matter 4207 which can adsorb the hygroscopic matter or oxygen.

[0296] Conductive film 4203a is formed so that it may touch on leading-about wiring 4005a, at the same time the pixel electrode 4203 is formed, as shown in drawing 15 (C).

[0297] Moreover, the anisotropic conductive film 4300 has conductive filler 4300a. By carrying out thermocompression bonding of a substrate 4001 and FPC4006, the wiring 4401 for FPC on conductive film 4203a and FPC4006 on a substrate 4001 is electrically connected by conductive filler 4300a.

[0298] It combines with examples 1-10 freely, and this example can be carried out.

[0299] (Example 12) Since luminescence equipment is a spontaneous light type, compared with a liquid crystal display, it is excellent in the visibility in a bright location, and its angle of visibility is large. Therefore, it can use for the display of various electronic equipment.

[0300] As electronic equipment using the luminescence equipment of this invention, a video camera, a digital camera, A goggles mold display (head mount display), a navigation system, Sound systems (a car audio, audio component stereo, etc.), a note type personal computer, A game device, a Personal Digital Assistant (a mobile computer, a cellular phone, a handheld game machine, or digital book), The picture reproducer (equipment equipped with the display which specifically reproduces record media, such as Digital Versatile Disc (DVD), and can display the image) equipped with the record medium etc. is mentioned. Since importance is attached to the size of an angle of visibility, as for especially the Personal Digital Assistant with many opportunities to see a screen from across, it is desirable to use luminescence equipment. The example of these electronic equipment is shown in drawing 16.

[0301] Drawing 16 (A) is a electroluminescence display and contains a case 2001, susceptor 2002, a display 2003, the loudspeaker section 2004, and video input terminal 2005 grade. The luminescence equipment of this invention can be used for a display 2003. Since it is a spontaneous light type, luminescence equipment has an unnecessary back light, and it can be made into a display thinner than a liquid crystal display. In addition, as for a electroluminescence display, all the displays for information displays the object for personal computers, the object for TV broadcast reception, for an advertising display, etc. are contained.

[0302] Drawing 16 (B) is a digital still camera, and contains a body 2101, a display 2102, the television section 2103, the actuation key 2104, the external connection port 2105, and shutter 2106 grade. The luminescence equipment of this invention can be used for a display 2102.

[0303] Drawing 16 (C) is a note type personal computer, and contains a body 2201, a case 2202, a display 2203, a keyboard 2204, the external connection port 2205, and pointing mouse 2206 grade. The luminescence equipment of this invention can be used for a display 2203.

[0304] Drawing 16 (D) is a mobile computer and contains a body 2301, a display 2302, a switch 2303, the actuation key 2304, and infrared port 2305 grade. The luminescence equipment of this invention can be used for a display 2302.

[0305] Drawing 16 (E) is the picture reproducer (specifically DVD regenerative apparatus) of the pocket mold equipped with the record medium, and contains a body 2401, a case 2402, a display A2403, a display B2404, the record-media (DVD etc.) reading section 2405, the actuation key 2406, and loudspeaker section 2407 grade. although a display A2403 mainly displays image information and a display B2404 mainly displays text -- the luminescence equipment of this invention -- these displays A and B -- it can use for 2403 and 2404. In addition, a home video game machine machine etc. is contained in the picture reproducer equipped with the record medium.

[0306] Drawing 16 (F) is a goggles mold display (head mount display), and contains a body 2501, a display 2502, and the arm section 2503. The luminescence equipment of this invention can be used for a display 2502.

[0307] Drawing 16 (G) is a video camera and contains a body 2601, a display 2602, a case 2603, the external connection port 2604, the remote control receive section 2605, the television section 2606, a dc-battery 2607, the voice input section 2608, and actuation key 2609 grade. The luminescence equipment of this invention can be used for a display 2602.

[0308] Drawing 16 (H) is a cellular phone and contains a body 2701, a case 2702, a display 2703, the voice input section 2704, the voice output section 2705, the actuation key 2706, the external connection port 2707, and antenna 2708 grade here. The luminescence equipment of this invention can be used for a display 2703. In addition, a display 2703 can stop the power consumption of a cellular phone by displaying a white alphabetic character on a black background.

[0309] In addition, if the luminescence brightness of an organic compound layer will become high in the future, it will also become possible to carry out expansion projection of the light containing the outputted image information with a lens etc., and to use for the projector of a front mold or a rear mold.

[0310] Moreover, the above-mentioned electronic equipment displays more often the information distributed through electronic communication lines, such as the Internet and CATV (cable television), and its opportunity to display especially animation information has been increasing. Since the speed of response of the organic compound ingredient with which the luminescence generated by adding electric field is obtained is very high, luminescence equipment is desirable to a movie display.

[0311] Moreover, in order that the part which is emitting light may consume power, as for luminescence equipment, it is desirable to display information that the amount of light-emitting part decreases as much as possible. Therefore, when using luminescence equipment for the display which is mainly concerned with text like a Personal Digital Assistant especially a cellular phone, or a sound system, it is desirable to drive so that text may be formed by part for a light-emitting part by making a nonluminescent part into a background.

[0312] As mentioned above, the applicability of this invention is very wide, and using for the electronic equipment of all fields is possible. Moreover, the electronic equipment of this example may use the luminescence equipment of which configuration shown in examples 1-11.

[0313]

[Effect of the Invention] Even if this invention increases the number of the subframe periods established at an one-frame period by the above-mentioned configuration, it can stop that the die length of each subframe period becomes short. Therefore, the number of subframe periods can be increased, being able to stop that the period (write-in period) which inputs the digital video signal of a pixel becomes short, and stopping the drive frequency of a source signal-line drive circuit.

[0314] therefore, frame frequency --not dropping -- in addition -- and it becomes possible to display an image with the high number of gradation, stopping that the drive frequency of a source signal-line drive circuit becomes high.

[0315] Moreover, unlike the general surface-integral rate driving method, the pixel pitch of a sub-picture element is almost the same. Since the design rule was applied and designed to the smallest sub-picture element by the general surface-integral rate driving method, highly-minute-izing was difficult. However, since the luminescence equipment of this invention has the almost the same pixel pitch of a sub-picture element even if the number of gradation increases, highly-minute-izing is possible.

[0316] Furthermore, with the luminescence equipment of this invention, the subframe period was divided, the divided subframe period was not made to appear continuously, but the period (non-display period) which does not perform other subframe periods or a display in between may be established. In addition, in a non-display period, a light emitting device emits light in no pixels of a picture element part.

[0317] The above-mentioned configuration can protect generating of an animation false profile.

[0318] in addition -- and with the luminescence equipment of this invention, in order to prevent generating of an animation false profile, even if it divides a subframe period, it can stop that the die length of one subframe period becomes short, and the height of the drive frequency of a source signal-line drive circuit can be stopped.

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The block diagram of the luminescence equipment of this invention, and the circuit diagram of a pixel.

[Drawing 2] The circuit diagram of the picture element part of the luminescence equipment of this invention.

[Drawing 3] Drawing showing the timing to which the subframe period in a sub-picture element appears.

[Drawing 4] The timing chart of the gate signal line for writing, and the gate signal line for the 1st and 2nd elimination.

[Drawing 5] Drawing showing the timing to which the subframe period in a picture element part appears.

[Drawing 6] Drawing showing the timing to which the subframe period in a picture element part appears.

[Drawing 7] The plan of the pixel of the luminescence equipment of this invention.

[Drawing 8] The circuit diagram of the pixel of the luminescence equipment of this invention.

[Drawing 9] The block diagram of the luminescence equipment of this invention, and the circuit diagram of a pixel.

[Drawing 10] The block diagram of the drive circuit group of the luminescence equipment of this invention.

[Drawing 11] Drawing showing the making process of TFT which the luminescence equipment of this invention has.

[Drawing 12] Drawing showing the making process of TFT which the luminescence equipment of this invention has.

[Drawing 13] Drawing showing the making process of TFT which the luminescence equipment of this invention has.

[Drawing 14] Drawing showing the making process of TFT which the luminescence equipment of this invention has.

[Drawing 15] The plan and sectional view of luminescence equipment of this invention.

[Drawing 16] Drawing of electronic equipment using the luminescence equipment of this invention.

[Drawing 17] The picture element part of common luminescence equipment, and the circuit diagram of a pixel.

[Drawing 18] Drawing showing the timing to which the subframe period of common luminescence equipment appears.

[Drawing 19] Drawing showing the timing to which the subframe period of common luminescence equipment appears.

---

[Translation done.]

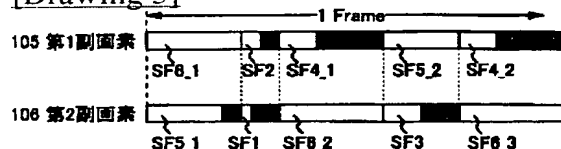
## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

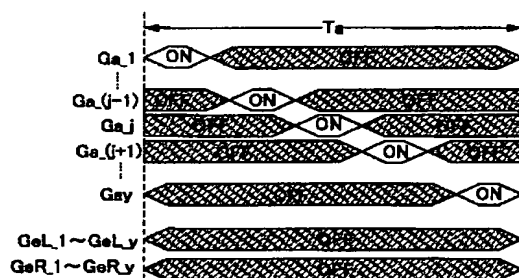
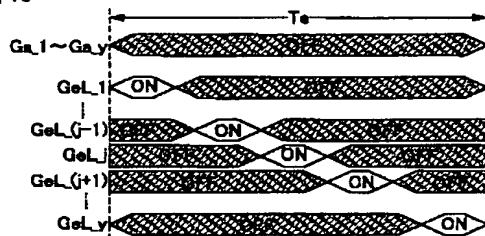
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

[Drawing 3]

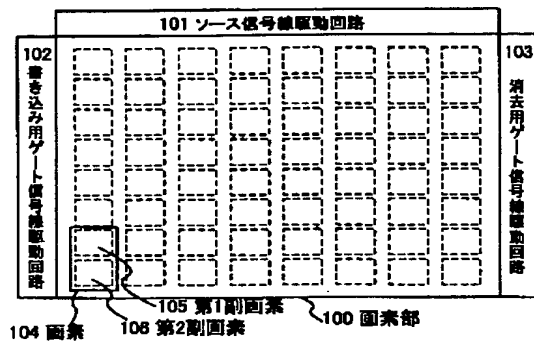


[Drawing 4]

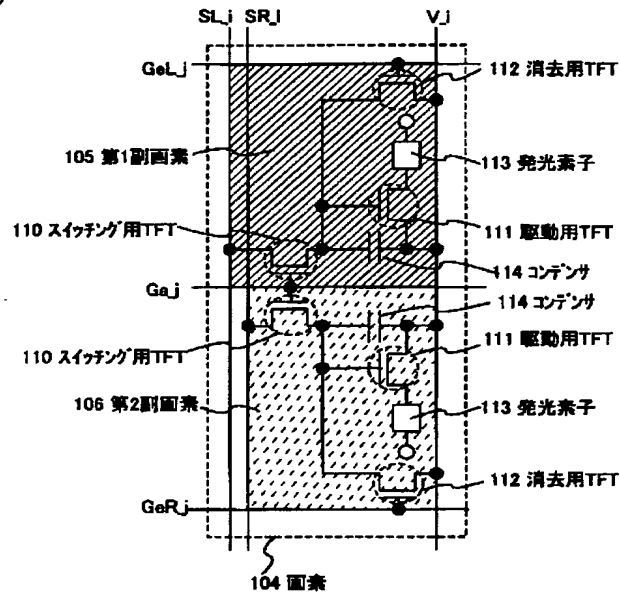
(A)書き込み期間  $T_a$ (B)消去期間  $T_e$ 

[Drawing 1]

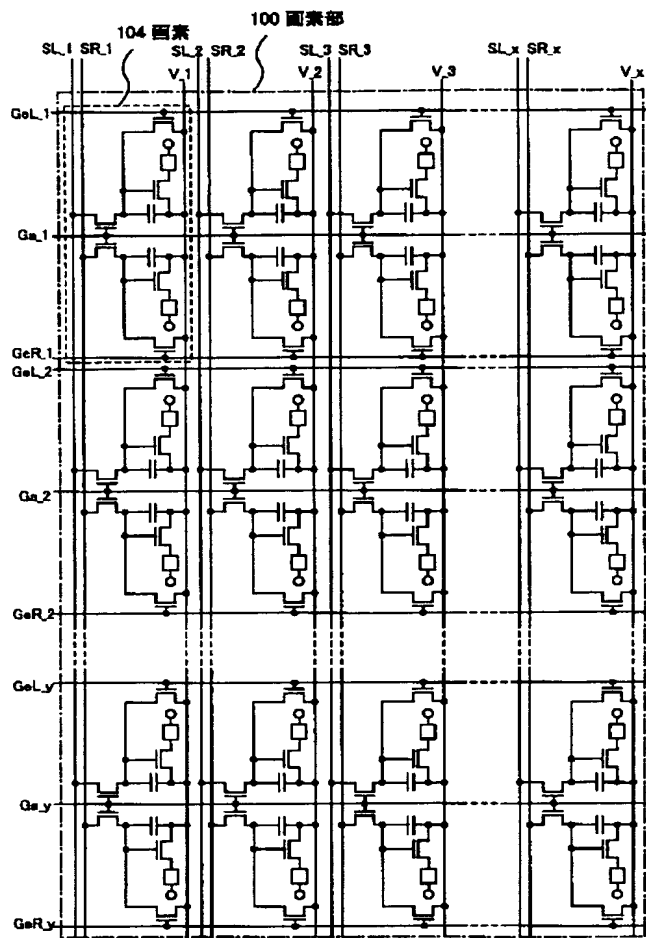
(A)



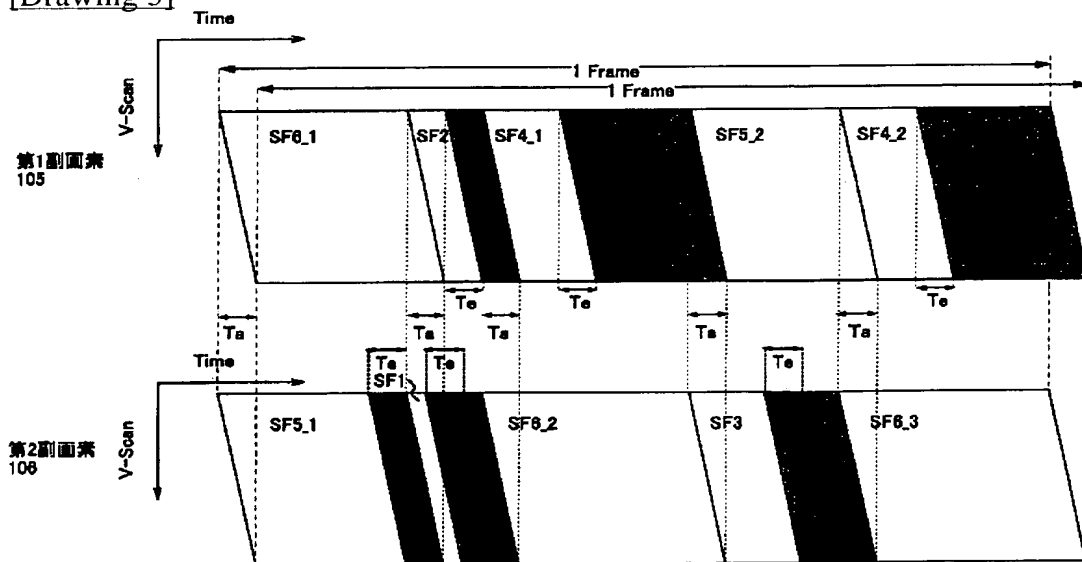
(B)



[Drawing 2]

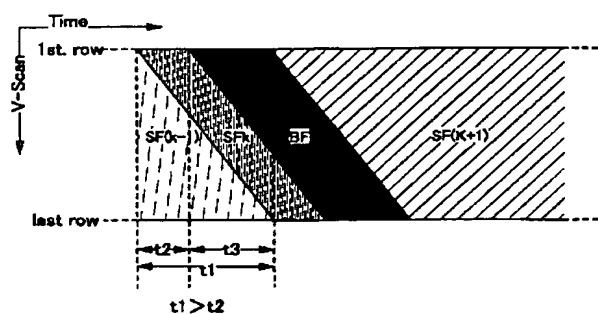


[Drawing 5]

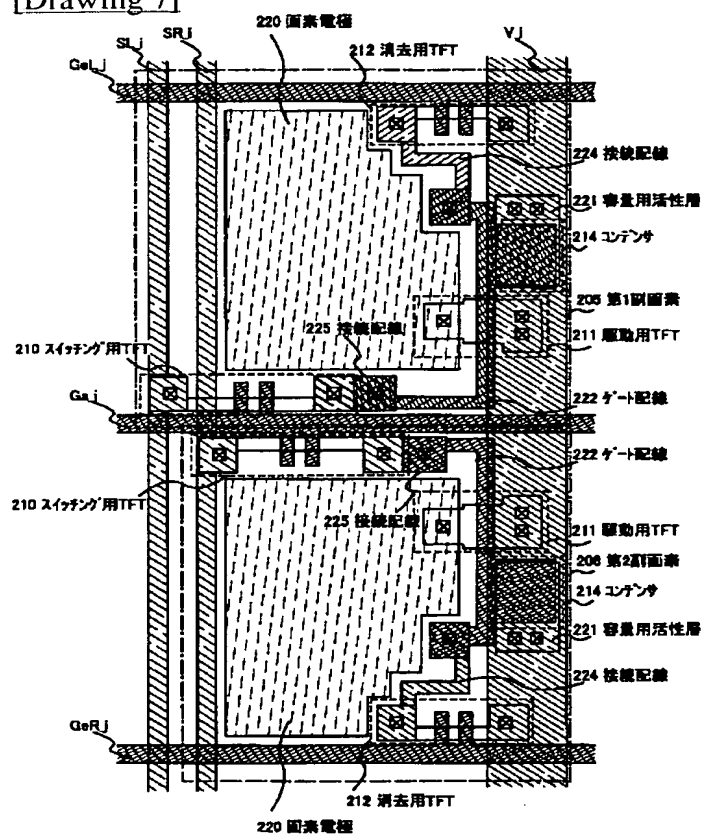


[Drawing 6]

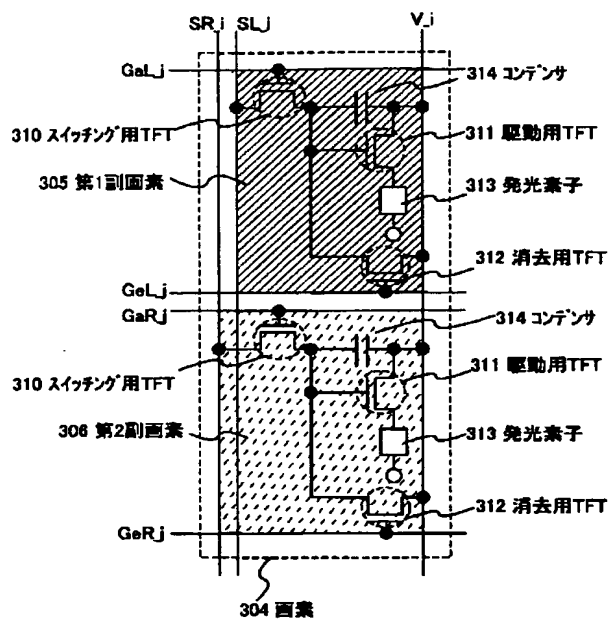




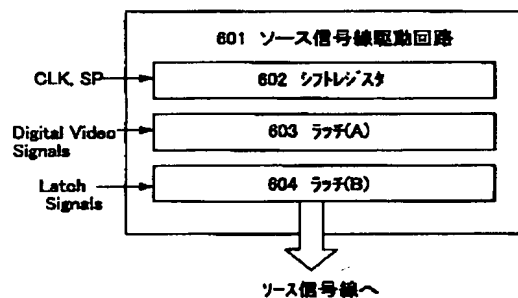
[Drawing 7]



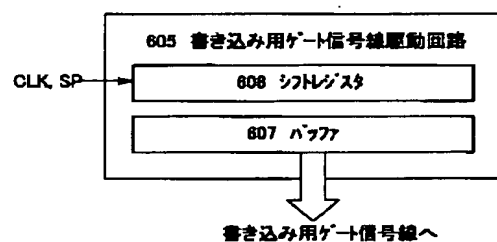
[Drawing 8]



[Drawing 10]  
(A)

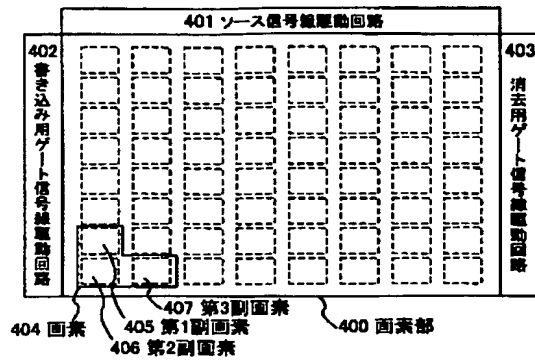


(B)

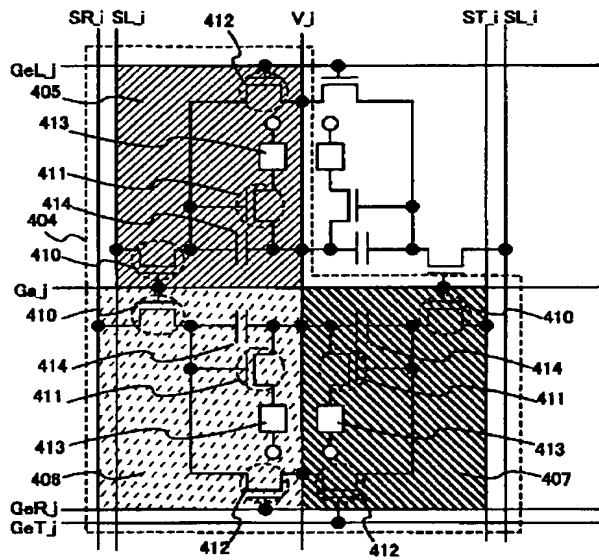


[Drawing 9]

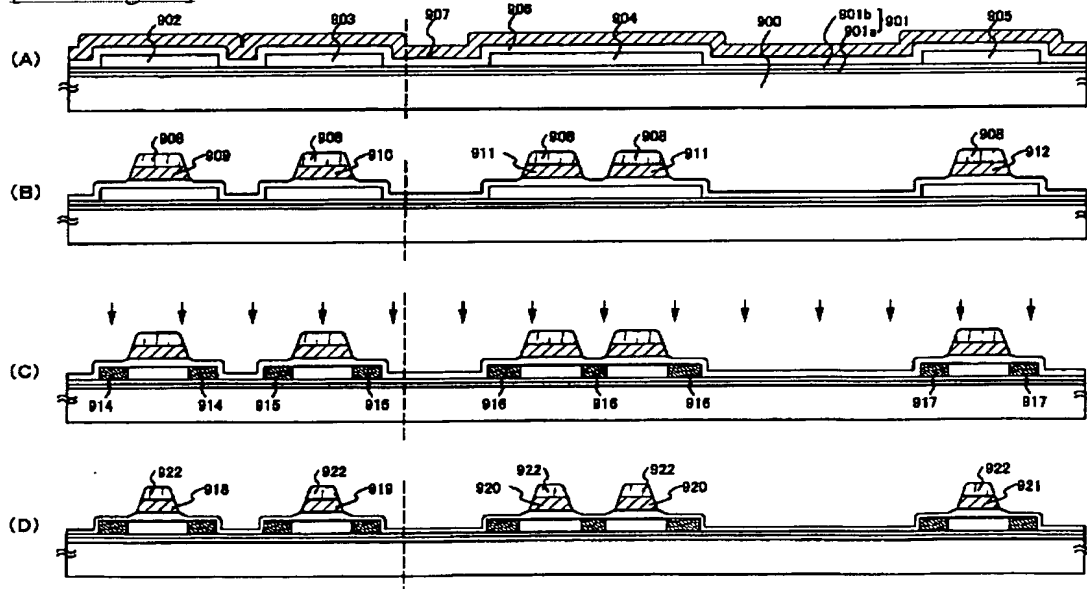
(A)



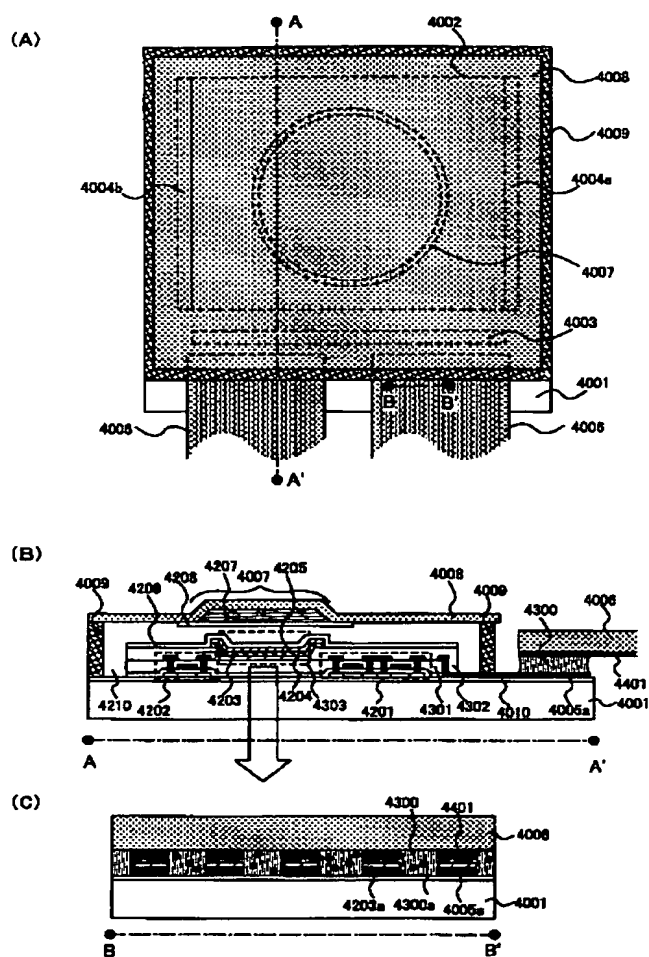
(B)



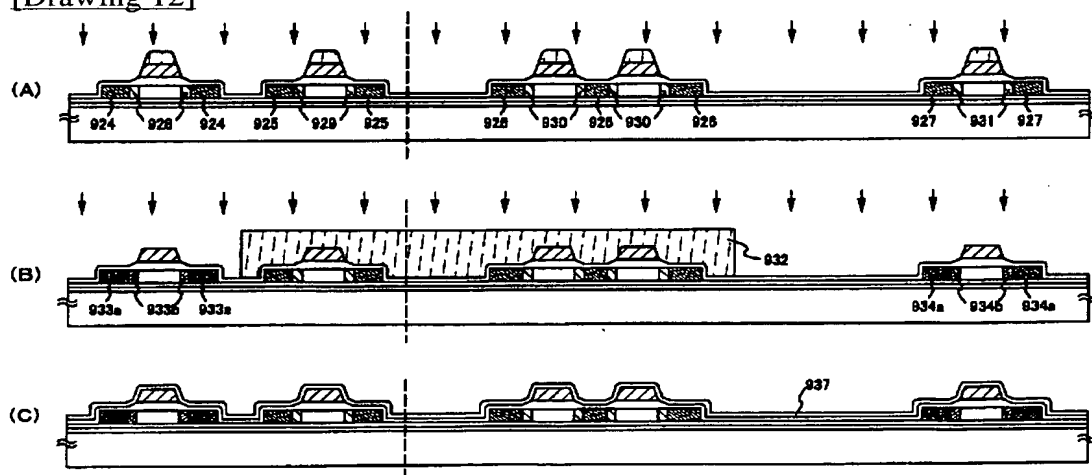
[Drawing 11]



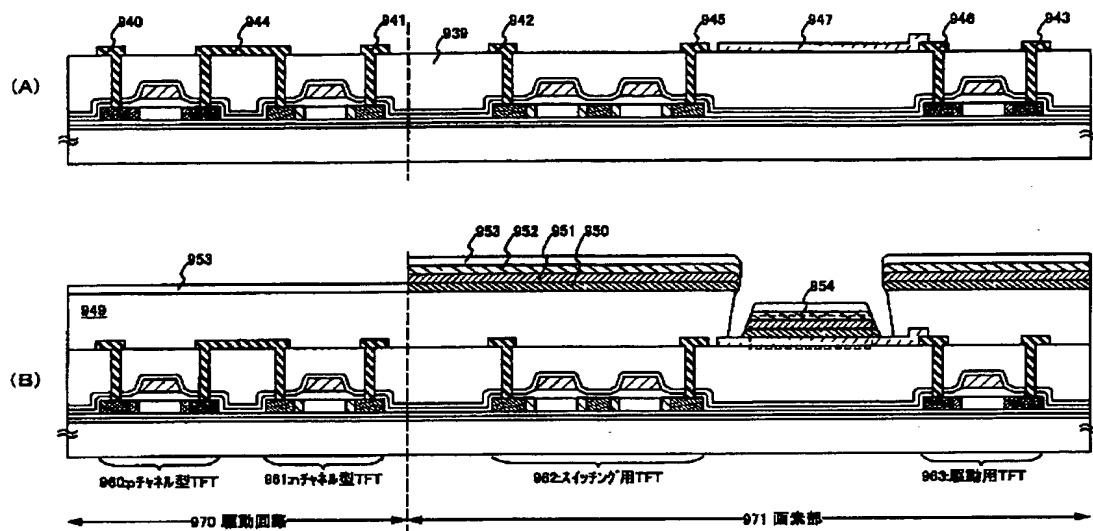
[Drawing 15]



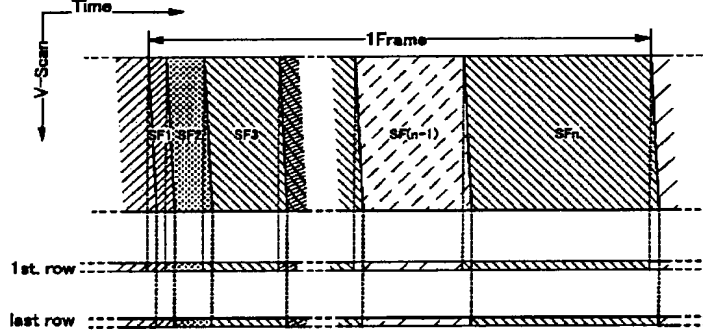
[Drawing 12]



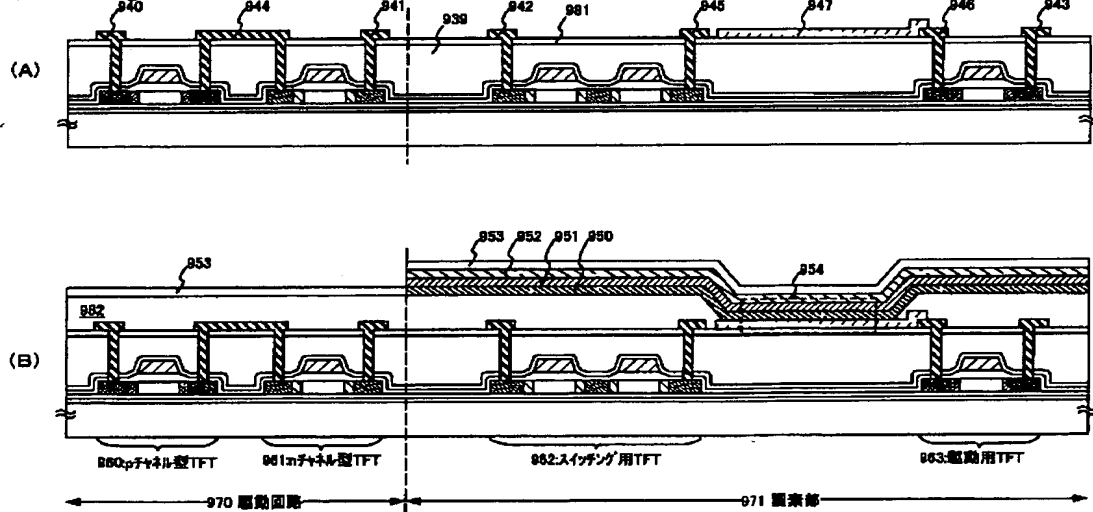
[Drawing 13]



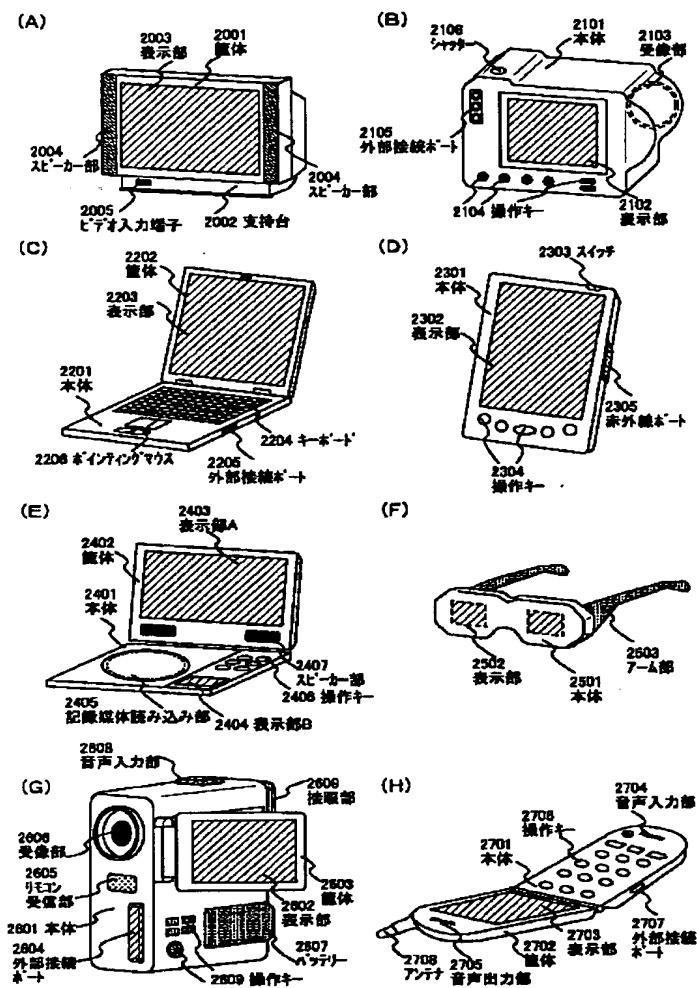
[Drawing 18]



[Drawing 14]

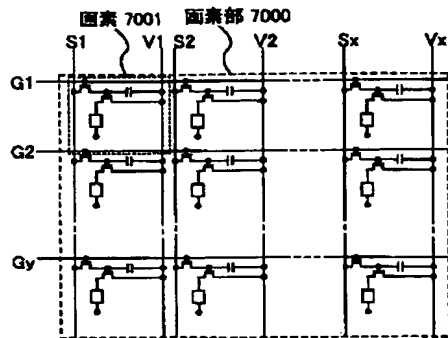


[Drawing 16]

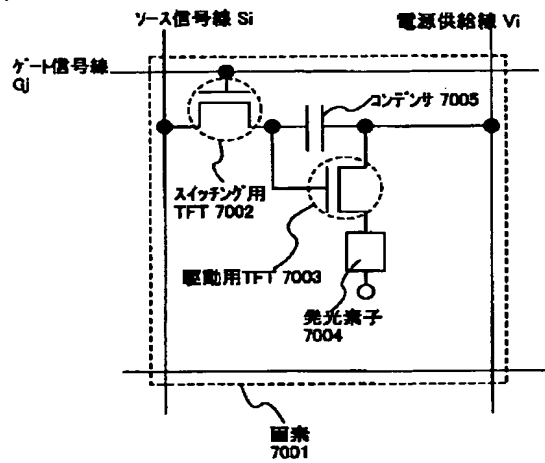


[Drawing 17]

(A)

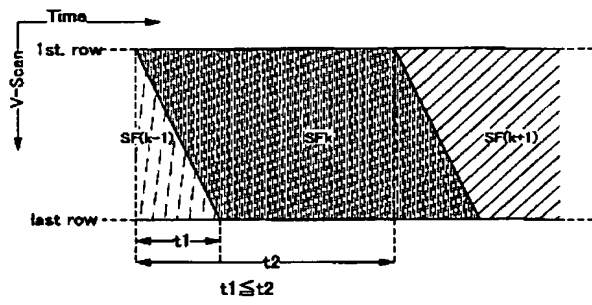


(B)

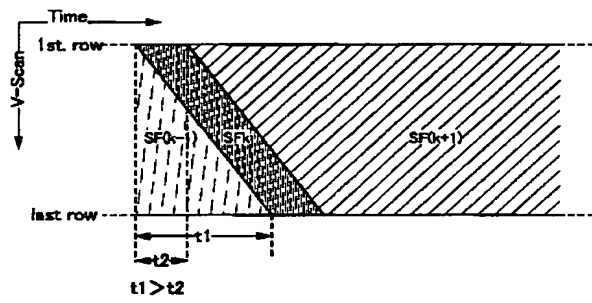


[Drawing 19]

(A)



(B)



[Translation done.]



## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CORRECTION OR AMENDMENT

---

[Kind of official gazette] Printing of amendment by the convention of 2 of Article 17 of Patent Law  
 [Section partition] The 2nd partition of the 6th section  
 [Publication date] July 28, Heisei 17 (2005. 7.28)

[Publication No.] JP,2002-278478,A (P2002-278478A)  
 [Date of Publication] September 27, Heisei 14 (2002. 9.27)  
 [Application number] Application for patent 2001-382530 (P2001-382530)  
 [The 7th edition of International Patent Classification]

G09F 9/30  
 G09G 3/20  
 G09G 3/30  
 H04N 5/70  
 H05B 33/14

## [FI]

G09F	9/30	390	Z
G09F	9/30	365	Z
G09G	3/20	624	B
G09G	3/20	641	E
G09G	3/20	641	G
G09G	3/20	641	K
G09G	3/20	641	R
G09G	3/30		K
H04N	5/70		A
H05B	33/14		A

[Procedure revision]  
 [Filing Date] December 14, Heisei 16 (2004. 12.14)  
 [Procedure amendment 1]  
 [Document to be Amended] Specification  
 [Item(s) to be Amended] Claim  
 [Method of Amendment] Modification  
 [The contents of amendment]  
 [Claim(s)]  
 [Claim 1]

It is luminescence equipment which has two or more pixels,  
 Said two or more pixels have two or more sub-picture elements, respectively,  
 Said two or more sub-picture elements have the light emitting device, respectively,

Said two or more sub-picture elements are luminescence equipment with which effective luminescence area is characterized by the mutually equal thing.

[Claim 2]

It is luminescence equipment which has two or more pixels,

Said two or more pixels have two or more sub-picture elements, respectively,

Said two or more sub-picture elements have a light emitting device and TFT, respectively,

The current which flows to said light emitting device is controlled by said TFT,

Said two or more sub-picture elements are luminescence equipment with which effective luminescence area is characterized by the mutually equal thing.

[Claim 3]

Said all polarities of TFT that said two or more sub-picture elements have in claim 2, respectively are luminescence equipment characterized by the same thing.

[Claim 4]

It is luminescence equipment which has two or more pixels,

Said two or more pixels have two or more sub-picture elements, respectively,

Said two or more sub-picture elements have a light emitting device, the 1st TFT, the 2nd TFT, and the 3rd TFT, respectively,

The current which flows to said light emitting device is controlled by said 2nd TFT,

Said two or more sub-picture elements are luminescence equipment with which effective luminescence area is characterized by the mutually equal thing.

[Claim 5]

Electronic equipment characterized by using the luminescence equipment indicated by any 1 term of claim 1 thru/or claim 4.

[Claim 6]

It is the drive approach of the luminescence equipment indicated by any 1 term of claim 1 thru/or claim 4,

The drive approach of the luminescence equipment characterized by controlling the gradation displayed in each of two or more of said pixels by the die length of the period said whose light emitting device is in a luminescence condition being controlled by the digital video signal in each of two or more of said sub-picture elements.

[Claim 7]

It is the drive approach of the luminescence equipment indicated by claim 1 thru/or any 1 term of 4, In said two or more sub-picture elements, two or more subframe periods appear during an one-frame period,

In each of two or more of said subframe periods, it is chosen whether said light emitting device of two or more of said sub-picture elements will be in a luminescence condition by each bit of a digital video signal or it will be in a nonluminescent condition,

The drive approach of the luminescence equipment characterized by the number of gradation displayed in each of two or more of said pixels becoming higher as total of the die length of the subframe period which has said light emitting device in a luminescence condition in each of two or more of said sub-picture elements becomes long.

[Claim 8]

It is the drive approach of the luminescence equipment indicated by claim 4,

In said two or more sub-picture elements of all, said 1st TFT is turned on at the same period,

When said 1st TFT is ON, the potential of a digital video signal is given to the gate electrode of said 2nd TFT,

By switching of said 2nd TFT being controlled by potential of said digital video signal, it is chosen whether said light emitting device will be in a luminescence condition or it will be in a nonluminescent condition,

When said 3rd TFT is ON, said light emitting device will be in a nonluminescent condition,

The drive approach of the luminescence equipment characterized by controlling the gradation displayed

in each of two or more of said pixels by the die length of the period said whose light emitting device is in a luminescence condition being controlled by said digital video signal in each of two or more of said sub-picture elements.

[Claim 9]

It is luminescence equipment which has two or more pixels,

Said two or more pixels have two or more sub-picture elements, respectively,

Said two or more sub-picture elements have a light emitting device, the 1st TFT, the 2nd TFT, the 3rd TFT, the source signal line, the gate signal line for writing, the gate signal line for elimination, and the current supply line, respectively,

The gate electrode of said 1st TFT is connected to said gate signal line for writing,

One side is connected to said source signal line, and another side is connected to the gate electrode of said 2nd TFT for said the 1st source field and drain field of TFT,

The source field of said 2nd TFT is connected to the pixel electrode with which said light emitting device has a drain field at said current supply line,

The gate electrode of said 3rd TFT is connected to said gate signal line for elimination,

One side is connected to said current supply line, and another side is connected to the gate electrode of said 2nd TFT for said the 3rd source field and drain field of TFT,

Said two or more sub-picture elements are luminescence equipment with which effective luminescence area is characterized by the mutually equal thing.

[Claim 10]

It is luminescence equipment which has two or more pixels,

Said two or more pixels have two or more sub-picture elements, respectively,

Said two or more sub-picture elements have a light emitting device, the 1st TFT, the 2nd TFT, the 3rd TFT, the source signal line, the gate signal line for elimination, and the current supply line, respectively,

Said two or more sub-picture elements are sharing the gate signal line for writing in the same pixel,

The gate electrode of said 1st TFT is connected to said gate signal line for writing,

One side is connected to said source signal line, and another side is connected to the gate electrode of said 2nd TFT for said the 1st source field and drain field of TFT,

The source field of said 2nd TFT is connected to the pixel electrode with which said light emitting device has a drain field at said current supply line,

The gate electrode of said 3rd TFT is connected to said gate signal line for elimination,

One side is connected to said current supply line, and another side is connected to the gate electrode of said 2nd TFT for said the 3rd source field and drain field of TFT,

Said two or more sub-picture elements are luminescence equipment with which effective luminescence area is characterized by the mutually equal thing.

[Claim 11]

It is luminescence equipment which has two or more pixels,

Said two or more pixels have two or more sub-picture elements, respectively,

Said two or more sub-picture elements have a light emitting device, the 1st TFT, the 2nd TFT, the 3rd TFT, the source signal line, the gate signal line for writing, and the gate signal line for elimination, respectively,

Said two or more sub-picture elements are sharing the current supply line in the same pixel,

The gate electrode of said 1st TFT is connected to said gate signal line for writing,

One side is connected to said source signal line, and another side is connected to the gate electrode of said 2nd TFT for said the 1st source field and drain field of TFT,

The source field of said 2nd TFT is connected to the pixel electrode with which said light emitting device has a drain field at said current supply line,

The gate electrode of said 3rd TFT is connected to said gate signal line for elimination,

One side is connected to said current supply line, and another side is connected to the gate electrode of said 2nd TFT for said the 3rd source field and drain field of TFT,

Said two or more sub-picture elements are luminescence equipment with which effective luminescence area is characterized by the mutually equal thing.

[Claim 12]

It is luminescence equipment which has two or more pixels,

Said two or more pixels have two or more sub-picture elements, respectively,

Said two or more sub-picture elements have a light emitting device, the 1st TFT, the 2nd TFT, the 3rd TFT, the source signal line, and the gate signal line for elimination, respectively,

Said two or more sub-picture elements are sharing the gate signal line for writing, and the current supply line in the same pixel,

The gate electrode of said 1st TFT is connected to said gate signal line for writing,

One side is connected to said source signal line, and another side is connected to the gate electrode of said 2nd TFT for said the 1st source field and drain field of TFT,

The source field of said 2nd TFT is connected to the pixel electrode with which said light emitting device has a drain field at said current supply line,

The gate electrode of said 3rd TFT is connected to said gate signal line for elimination,

One side is connected to said current supply line, and another side is connected to the gate electrode of said 2nd TFT for said the 3rd source field and drain field of TFT,

Said two or more sub-picture elements are luminescence equipment with which effective luminescence area is characterized by the mutually equal thing.

[Claim 13]

All the polarities of said 1st TFT which said two or more sub-picture elements have in any 1 term of claim 9 thru/or claim 12, respectively are luminescence equipment characterized by the same thing.

[Claim 14]

All the polarities of said 2nd TFT which said two or more sub-picture elements have in any 1 term of claim 9 thru/or claim 12, respectively are luminescence equipment characterized by the same thing.

[Claim 15]

All the polarities of said 3rd TFT which said two or more sub-picture elements have in any 1 term of claim 9 thru/or claim 12, respectively are luminescence equipment characterized by the same thing.

[Claim 16]

It is the drive approach of the luminescence equipment indicated by claim 9 thru/or any 1 term of 15, The gate signal line for writing which said two or more sub-picture elements have, respectively is chosen as the same period,

The drive approach of the luminescence equipment characterized by controlling the gradation with which the die length of the period said whose light emitting device is in a luminescence condition is displayed in each of two or more of said pixels in each of two or more of said sub-picture elements by being controlled by the digital video signal inputted into said source signal line.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-278478

(P2002-278478A)

(43) 公開日 平成14年9月27日 (2002.9.27)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 9 F 9/30	3 9 0	G 0 9 F 9/30	3 9 0 Z 3 K 0 0 7
	3 6 5		3 6 5 Z 5 C 0 5 8
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B 5 C 0 8 0
	6 4 1		6 4 1 E 5 C 0 9 4
			6 4 1 G

審査請求 未請求 請求項の数14 O L (全 32 頁) 最終頁に続く

(21) 出願番号 特願2001-382530 (P2001-382530)

(22) 出願日 平成13年12月17日 (2001.12.17)

(31) 優先権主張番号 特願2000-388990 (P2000-388990)

(32) 優先日 平成12年12月21日 (2000.12.21)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 犬飼 和隆

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

最終頁に続く

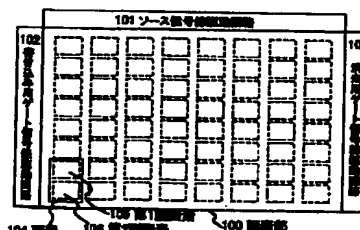
(54) 【発明の名称】 発光装置、発光装置の駆動方法及び電子機器

(57) 【要約】

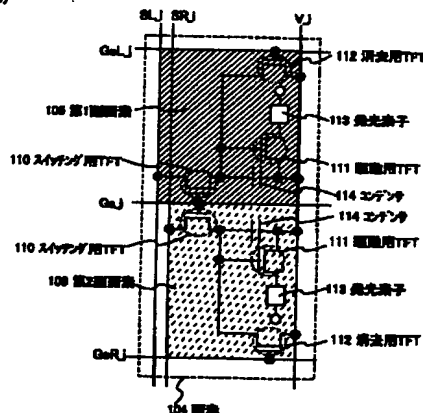
【課題】 ソース信号線駆動回路の駆動周波数が高くなるのを抑えつつ、階調数の高い画像を表示することが可能な発光装置を提供する。

【解決手段】 1つの画素が、有効発光面積が等しい複数の副画素を有し、各副画素においてそれぞれ出現するサブフレーム期間を全て用いて、当該画素の階調を制御する。さらに本発明の発光装置では、例えば二進コード法による時間階調を行う場合、特定ビットのサブフレーム期間を複数のサブフレーム期間に分割し、分割したサブフレーム期間を連続して出現させず、間に他のビットのサブフレーム期間または表示を行わない期間（非表示期間）を設けていても良い。なお非表示期間においては、画素部の全ての画素において発光素子は発光しない。

(A)



(B)



## 【特許請求の範囲】

【請求項 1】複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子をそれぞれ有しており、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置。

【請求項 2】複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子及び T F T をそれぞれ有しており、

前記発光素子に流れる電流は、前記 T F T によって制御されており、

前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置。

【請求項 3】請求項 2 において、前記複数の副画素がそれぞれ有する前記 T F T の極性は全て同じであることを特徴とする発光装置。

【請求項 4】請求項 1 乃至請求項 3 のいずれか 1 項において、前記発光装置を用いることを特徴とする電子機器。

【請求項 5】複数の画素を有する発光装置の駆動方法であって、

前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子をそれぞれ有しており、前記複数の副画素は、有効発光面積が互いに等しくなっており、

前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、デジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御されていることを特徴とする発光装置の駆動方法。

【請求項 6】複数の画素を有する発光装置の駆動方法であって、

前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子をそれぞれ有しており、前記複数の副画素は、有効発光面積が互いに等しくなっており、

前記複数の副画素において、1 フレーム期間中に複数のサブフレーム期間が出現し、

前記複数のサブフレーム期間のそれぞれにおいて、デジタルビデオ信号の各ビットによって、前記複数の副画素の前記発光素子が発光状態になるか非発光状態になるかが選択され、

前記複数の副画素のそれぞれにおいて前記発光素子が発光状態にあるサブフレーム期間の長さの総和が長くなればなるほど、前記複数の画素のそれぞれにおいて表示される階調数が高くなることを特徴とする発光装置の駆動方法。

【請求項 7】複数の画素を有する発光装置の駆動方法であって、

前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第 1 の T F T、第 2 の T F T 及び第 3 の T F T をそれぞれ有しており、前記複数の副画素の全てにおいて、同じ期間に前記第 1 の T F T がオンになり、

前記第 1 の T F T がオンのときにデジタルビデオ信号の電位が前記第 2 の T F T のゲート電極に与えられ、

前記デジタルビデオ信号の電位によって前記第 2 の T F T のスイッチングが制御されることで、前記発光素子が発光状態になるか非発光状態になるかが選択され、

前記第 3 の T F T がオンのときに前記発光素子は非発光状態になり、

前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記デジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、

前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置の駆動方法。

【請求項 8】複数の画素を有する発光装置の駆動方法であって、

前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第 1 の T F T、第 2 の T F T、第 3 の T F T、ソース信号線、書き込み用ゲート信号線、消去用ゲート信号線及び電源供給線をそれぞれ有しており、

前記第 1 の T F T のゲート電極は前記書き込み用ゲート信号線に接続されており、

前記第 1 の T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第 2 の T F T のゲート電極に接続されており、

前記第 2 の T F T のソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、

前記第 3 の T F T のゲート電極は前記消去用ゲート信号線に接続されており、

前記第 3 の T F T のソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第 2 の T F T のゲート電極に接続されており、

前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、

前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、

前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置の駆動方法。

【請求項 9】複数の画素を有する発光装置の駆動方法であって、

前記複数の画素はそれぞれ複数の副画素を有しており、

前記複数の副画素は発光素子、第1のTFT、第2のTFT、第3のTFT、ソース信号線、消去用ゲート信号線及び電源供給線をそれぞれ有しており、前記複数の副画素は、同一画素内において書き込み用ゲート信号線を共有しており、前記第1のTFTのゲート電極は前記書き込み用ゲート信号線に接続されており、前記第1のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記第2のTFTのソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、前記第3のTFTのゲート電極は前記消去用ゲート信号線に接続されており、前記第3のTFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置の駆動方法。

【請求項１０】複数の画素を有する発光装置の駆動方法であって、

前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第1のTFT、第2のTFT、第3のTFT、ソース信号線、書き込み用ゲート信号線及び消去用ゲート信号線をそれぞれ有しており、前記複数の副画素は同一画素内において電源供給線を共有しており、前記第1のTFTのゲート電極は前記書き込み用ゲート信号線に接続されており、前記第1のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記第2のTFTのソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、前記第3のTFTのゲート電極は前記消去用ゲート信号線に接続されており、前記第3のTFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、

前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、

前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置の駆動方法。

【請求項 11】複数の画素を有する発光装置の駆動方法であって、

10 前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第1のTFT、第2のTFT、第3のTFT、ソース信号線及び消去用ゲート信号線をそれぞれ有しており、前記複数の副画素は、同一画素内において書き込み用ゲート信号線及び電源供給線を共有しており、前記第1のTFTのゲート電極は前記書き込み用ゲート信号線に接続されており、前記第1のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記第2のTFTのソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、前記第3のTFTのゲート電極は前記消去用ゲート信号線に接続されており、前記第3のTFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置の駆動方法。

【請求項 12】請求項 7 乃至請求項 11 のいずれか 1 項において、前記複数の副画素がそれぞれ有する前記第 1 の TFT の極性は全て同じであることを特徴とする発光装置の駆動方法。

【請求項 13】請求項 7 乃至請求項 11 のいずれか 1 項において、前記複数の副画素がそれぞれ有する前記第 2 の TFT の極性は全て同じであることを特徴とする発光装置の駆動方法。

【請求項１４】請求項７乃至請求項１１のいずれか１項において、前記複数の副画素がそれぞれ有する前記第３のＴＦＴの極性は全て同じであることを特徴とする発光装置の駆動方法。

50 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、基板上に形成された発光素子を、該基板とカバー材の間に封入した表示用パネルに関する。また、該表示用パネルにICを実装した表示用モジュールに関する。なお本明細書において、表示用パネル及び表示用モジュールを発光装置と総称する。本発明はさらに、該発光装置の駆動方法及び該発光装置を用いた電子機器に関する。

## 【0002】

【従来の技術】発光素子は自ら発光するため視認性が高く、液晶表示装置(LCD)で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年、発光素子を用いた発光装置はCRTやLCDに代わる表示装置として注目されている。

【0003】発光素子は、電場を加えることで発生するルミネッセンス(Electro Luminescence)が得られる有機化合物を含む層(以下、有機化合物層と記す)と、陽極層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明の発光装置では、どちらの発光を用いても良い。

【0004】なお、本明細書では、陽極と陰極の間に設けられた全ての層を有機化合物層と定義する。有機化合物層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に発光素子は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0005】また本明細書において、発光素子を発光させることを、発光素子を駆動すると呼ぶ。また、本明細書中では、陽極、有機化合物層及び陰極で形成される素子を発光素子と呼ぶ。

【0006】ところで、発光素子を有する発光装置の駆動方法には、主にアナログ駆動とデジタル駆動とがある。特にデジタル駆動は、放送電波のデジタル化に対応して、画像情報を有するデジタルのビデオ信号(デジタルビデオ信号)を、アナログに変換せずにそのまま用いて画像を表示することが可能なため、有望である。

【0007】デジタルビデオ信号が有する2値の電圧により階調表示を行う駆動方法には、画素の点灯する長さを制御することで階調表示を行う時間分割駆動法がある。

【0008】時間分割駆動法では、1フレーム期間を複数のサブフレーム期間に分割する。そして、各サブフレーム期間において、デジタルビデオ信号により各画素が点灯するかしないかが選択される。1フレーム期間中に出現する全てのサブフレーム期間の内、画素が点灯したサブフレーム期間の長さを積算することで、該画素の階

調が求められる。

## 【0009】

【発明が解決しようとする課題】以下、一般的な発光装置の画素部の構造と、その駆動方法について説明する。

【0010】一般的な発光装置の画素部7000の拡大図を図17(A)に示す。画素部7000はソース信号線S1~Sx、電源供給線V1~Vx、ゲート信号線G1~Gyを有している。

【0011】ソース信号線S1~Sxと、電源供給線V1~Vxと、ゲート信号線G1~Gyとを1つずつ備えた領域が画素7001に相当する。画素部7000にはマトリクス状に複数の画素7001が配置されている。

【0012】画素7001の拡大図を図17(B)に示す。画素7001はソース信号線Si(S1~Sxのうちのいずれか1つ)と、電源供給線Vi(V1~Vxのうちのいずれか1つ)と、ゲート信号線Gj(G1~Gyのうちのいずれか1つ)とを有している。

【0013】画素7001はスイッチング用TFT7002と、駆動用TFT7003と、発光素子7004と、コンデンサ7005とを有している。

【0014】スイッチング用TFT7002のゲート電極は、ゲート信号線Gjに接続されている。またスイッチング用TFT7002のソース領域とドレイン領域は、一方がソース信号線Siに、もう一方が駆動用TFT7003のゲート電極、各画素が有するコンデンサ7005にそれぞれ接続されている。

【0015】また、駆動用TFT7003のソース領域とドレイン領域は、一方が電源供給線Viに接続され、もう一方は発光素子7004の画素電極に接続される。電源供給線Viはコンデンサ7005に接続されている。

【0016】発光素子7004は陽極と陰極と、陽極と陰極の間に設けられた有機化合物層とを有する。陽極が駆動用TFT7003のソース領域またはドレイン領域と接続している場合、陽極を画素電極、陰極を対向電極とする。逆に陰極が駆動用TFT7003のソース領域またはドレイン領域と接続している場合、陰極を画素電極、陽極を対向電極とする。

【0017】発光素子7004の対向電極には一定の電位(対向電位)が与えられている。また電源供給線Viには一定の電位(電源電位)が与えられている。電源電位と対向電位は、表示用パネルの外付けのIC等により設けられた電源によって与えられる。

【0018】次に、図17に示した構成を有する発光装置で、時間分割駆動法を用いて表示を行った場合について、図18を用いて説明する。時間分割駆動法では、1フレーム期間内に複数のサブフレーム期間が設けられている。図18は、図17に示した構成を有する発光装置において、サブフレーム期間の出現するタイミングを示しており、横軸はタイムスケールを、縦軸はゲート信号



線の位置を示している。

【0019】図18では、1フレーム期間中に $n$ 個( $n$ は自然数)のサブフレーム期間 $SF1 \sim SFn$ が設けられている。そして $n$ 個のサブフレーム期間のそれぞれにおいて、1ビット分のデジタルビデオ信号が各画素に入力されている。該デジタルビデオ信号によって、各画素の発光素子が発光するかしないかが選択される。

【0020】上記動作をより詳しく説明すると、ゲート信号線 $G1 \sim Gy$ が順に選択されることで、各ゲート信号線に接続されたスイッチング用 $TFT7002$ がオンになる。なお本明細書において信号線が選択されるとは、該信号線にゲート電極が接続された $TFT$ が全てオンになることを意味する。

【0021】そして各ゲート信号線が選択されているときに、ソース信号線 $S1 \sim Sy$ からオンのスイッチング用 $TFT7002$ を介して、駆動用 $TFT7003$ のゲート電極に1ビット分のデジタルビデオ信号が入力される。

【0022】駆動用 $TFT7003$ はデジタルビデオ信号によってスイッチングが制御される。駆動用 $TFT7003$ がオンだと、電源電位が発光素子 $7004$ の画素電極に与えられ、電源電位と対向電位の電位差により発光素子 $7004$ が発光する。逆に、駆動用 $TFT7003$ がオフだと、電源電位は発光素子 $7004$ の画素電極に与えられないので発光素子 $7004$ は発光しない。なお本明細書において発光素子が発光している状態を発光状態と呼び、発光していない状態を非発光状態と呼ぶ。

【0023】全ての画素にデジタルビデオ信号が入力されると、1つのサブフレーム期間が終了し、次のサブフレーム期間が開始される。そして上述した動作が繰り返され、サブフレーム期間 $SF1 \sim SFn$ のそれぞれにおいて、各画素の発光素子 $7004$ が発光するかしないかが選択される。これにより、各画素の表示する階調の高さが制御され、1フレーム期間で1つの画像が表示される。

【0024】ところで上述した駆動方法では、 $n$ ビットのデジタルビデオ信号を用いて表示を行う場合、1フレーム期間内に少なくとも $n$ 個のサブフレーム期間を設ける必要がある。よって画像の階調数を高くするためにデジタルビデオ信号のビット数を多くすると、1フレーム期間内に設けるサブフレーム期間の数が増える。

【0025】通常の発光装置では、1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。そこで、画像のちらつきを抑えるためにフレーム周波数を落とさずに階調数の高い画像を表示しようとした場合、サブフレーム期間の長さを短くする必要がある。

【0026】しかしサブフレーム期間の長さを短くしていくと、画素へデジタルビデオ信号を入力する速度が、

サブフレーム期間の長さに対応しきれないという問題が生じる。この問題について、以下に図19を用いて詳しく説明する。

【0027】図19は一般的な時間分割駆動法におけるサブフレーム期間 $SF(k-1)$ 、 $SFk$ 、 $SF(k+1)$ ( $k$ は任意の自然数)の出現するタイミングを示しており、横軸はタイムスケールを、縦軸はゲート信号線の位置を示している。また $t1$ はサブフレーム期間 $SFk$ において、全ての画素に1ビット分のデジタルビデオ信号が入力される期間の長さを示しており、 $t2$ は各ラインの画素におけるサブフレーム期間 $SFk$ の長さを示している。なお1ライン分の画素は、同じゲート信号線を有している。

【0028】図19(A)は $t1 \leq t2$ の場合を示しており、図19(B)は $t1 > t2$ の場合を示している。

【0029】図19(A)に示した $t1 \leq t2$ の場合、 $k$ 番目のサブフレーム期間 $SFk$ が終了し、次の $(k+1)$ 番目のサブフレーム期間 $SF(k+1)$ が開始されるまでに、全ての画素に1ビット分のデジタルビデオ信号が入力されている。よって1ビット分のデジタルビデオ信号の画素への入力と、次の1ビット分のデジタルビデオ信号の画素への入力とが、同じ画素部において並行して行われることがない。

【0030】しかし図19(B)に示した $t1 > t2$ の場合、 $k$ 番目のサブフレーム期間 $SFk$ が終了しても画素への1ビット分のデジタルビデオ信号の入力が終了していない。つまり1ビット分のデジタルビデオ信号の画素への入力と並行して、次の1ビット分のデジタルビデオ信号の画素への入力を開始しなくてはならない。

【0031】階調数を高くするためにサブフレーム期間 $t2$ を短くしていくと $t1 > t2$ となり、図19(B)に示した駆動を行わなくてはならないが、図17で示した構成の発光装置では不可能であった。サブフレーム期間 $t2$ を短くしても $t1 \leq t2$ とするためには、全ての画素に1ビット分のデジタルビデオ信号を入力する期間 $t1$ の長さを短くする必要が生じる。

【0032】 $t1$ を短くするためには、ソース信号線へのデジタルビデオ信号の入力を制御しているソース信号線駆動回路の駆動周波数を高くする必要がある。しかし、ソース信号線駆動回路の駆動周波数を高くしすぎると、ソース信号線駆動回路が有するトランジスタが駆動周波数に対応しきれなくなり、動作が不可能か、または信頼性の上で難が出てくる可能性があった。

【0033】上述した問題に鑑み、階調数の高い画像の表示を行うことが可能な、新しい構成の発光装置が所望されている。

【0034】

【課題を解決するための手段】本発明の発光装置は、1つの画素が複数の副画素を有し、各副画素は実際に発光が得られる面積(有効発光面積)は互いに等しい。な

お、発光素子の有効発光面積は、発光素子が有する画素電極のうち、発せられる光が基板上に形成されたTFT、配線等の光を透過しないものに遮られない領域の面積を指す。

【0035】そして本発明では、各副画素においてそれぞれ出現するサブフレーム期間を全て用いて、当該画素の階調を制御する。

【0036】上記構成によって、1フレーム期間に設けるサブフレーム期間の数を増やしても、各サブフレーム期間の長さが短くなるのを抑えることができる。よって画素のデジタルビデオ信号を入力する期間（書きこみ期間）が短くなるのを抑えることができる。したがって、フレーム周波数を落とさず、なおかつソース信号線駆動回路の駆動周波数が高くなるのを抑えつつ、階調数の高い画像を表示することが可能になる。

【0037】また一般的な面積分割駆動法とは異なり、副画素の有効発光面積はほぼ同じである。一般的な面積分割駆動法では、一番小さい副画素にデザインルールをあてはめて設計するので高精細化が難しかった。しかし本発明の発光装置は階調数が増加しても副画素の有効発光面積がほぼ同じであるので、高精細化が可能である。

【0038】さらに本発明の発光装置では、例えば二進コード法による時間階調を行う場合、特定ビットのサブフレーム期間を複数のサブフレーム期間に分割し、分割したサブフレーム期間を連続して出現させず、間に他のビットのサブフレーム期間または表示を行わない期間（非表示期間）を設けていても良い。なお非表示期間においては、画素部の全ての画素において発光素子は発光しない。

【0039】上記構成により、動画擬似輪郭の発生を防ぐことができる。

【0040】なおかつ本発明の発光装置では、動画擬似輪郭の発生を防ぐためにサブフレーム期間を分割しても、1つのサブフレーム期間の長さが短くなるのを抑えることができ、ソース信号線駆動回路の駆動周波数の高さを抑えることができる。

【0041】以下に、本発明の構成を示す。

【0042】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子をそれぞれ有しており、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置である。

【0043】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子をそれぞれ有しており、前記複数の副画素は、有効発光面積が互いに等しくなっており、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、デジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制

御されていることを特徴とする発光装置である。

【0044】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子をそれぞれ有しており、前記複数の副画素は、有効発光面積が互いに等しくなっており、前記複数の副画素において、1フレーム期間中に複数のサブフレーム期間が出現し、前記複数のサブフレーム期間のそれぞれにおいて、デジタルビデオ信号の各ビットによって、前記複数の副画素の前記発光素子が発光状態になるか非発光状態になるかが選択され、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態にあるサブフレーム期間の長さの総和が長くなればなるほど、前記複数の画素のそれぞれにおいて表示される階調数が高くなることを特徴とする発光装置である。

【0045】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子及びTFTをそれぞれ有しており、前記発光素子に流れる電流は、前記TFTによって制御されており、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置である。

【0046】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第1のTFT、第2のTFT及び第3のTFTをそれぞれ有しており、前記複数の副画素の全てにおいて、同じ期間に前記第1のTFTがオンになり、前記第1のTFTがオンのときにデジタルビデオ信号の電位が前記第2のTFTのゲート電極に与えられ、前記デジタルビデオ信号の電位によって前記第2のTFTのスイッチングが制御されることで、前記発光素子が発光状態になるか非発光状態になるかが選択され、前記第3のTFTがオンのときに前記発光素子は非発光状態になり、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記デジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置である。

【0047】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第1のTFT、第2のTFT、第3のTFT、ソース信号線、書き込み用ゲート信号線、消去用ゲート信号線及び電源供給線をそれぞれ有しており、前記第1のTFTのゲート電極は前記書き込み用ゲート信号線に接続されており、前記第1のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記第2の

TFTのソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、前記第3のTFTのゲート電極は前記消去用ゲート信号線に接続されており、前記第3のTFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置である。

【0048】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第1のTFT、第2のTFT、第3のTFT、ソース信号線、消去用ゲート信号線及び電源供給線をそれぞれ有しており、前記複数の副画素は、同一画素内において書き込み用ゲート信号線を共有しており、前記第1のTFTのゲート電極は前記書き込み用ゲート信号線に接続されており、前記第1のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記第2のTFTのソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、前記第3のTFTのゲート電極は前記消去用ゲート信号線に接続されており、前記第3のTFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置である。

【0049】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第1のTFT、第2のTFT、第3のTFT、ソース信号線、書き込み用ゲート信号線及び消去用ゲート信号線をそれぞれ有しており、前記複数の副画素は同一画素内において電源供給線を共有しており、前記第1のTFTのゲート電極は前記書き込み用ゲート信号線に接続されており、前記第1のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記第2の

TFTのソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、前記第3のTFTのゲート電極は前記消去用ゲート信号線に接続されており、前記第3のTFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置である。

【0050】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第1のTFT、第2のTFT、第3のTFT、ソース信号線及び消去用ゲート信号線をそれぞれ有しており、前記複数の副画素は、同一画素内において書き込み用ゲート信号線及び電源供給線を共有しており、前記第1のTFTのゲート電極は前記書き込み用ゲート信号線に接続されており、前記第1のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記第2のTFTのソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、前記第3のTFTのゲート電極は前記消去用ゲート信号線に接続されており、前記第3のTFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置である。

【0051】本発明は、前記複数の副画素がそれぞれ有する前記第1のTFTの極性が全て同じであることを特徴としても良い。

【0052】本発明は、前記複数の副画素がそれぞれ有する前記第2のTFTの極性が全て同じであることを特徴としても良い。

【0053】本発明は、前記複数の副画素がそれぞれ有する前記第3のTFTの極性が全て同じであることを特徴としても良い。

【0054】本発明は、前記発光装置を用いることを特徴とする電子機器であっても良い。

## 【0055】

【発明の実施の形態】図1と図2を用いて、本発明の発光装置の構造について説明する。図1(A)は本発明の発光装置に含まれる表示用パネルのブロック図である。基板(図示せず)上に、画素部100と、ソース信号線駆動回路101と、書き込み用ゲート信号線駆動回路102と、消去用ゲート信号線駆動回路103とが設けられている。

【0056】なお、本実施の形態では、画素部100と、駆動回路群(ソース信号線駆動回路101、書き込み用ゲート信号線駆動回路102及び消去用ゲート信号線駆動回路103が含まれる)とが同一基板上に形成されているが、本発明はこの構成に限定されない。画素部100と駆動回路群とが異なる基板上に形成され、FPC等のコネクタを介して互いに接続されていてもよい。

【0057】また、ソース信号線駆動回路101とゲート信号線駆動回路(書き込み用ゲート信号線駆動回路102及び消去用ゲート信号線駆動回路103が含まれる)の数は、図1(A)に示した数に限定されない。ソース信号線駆動回路101は1つ以上設けられていれば良い。またゲート信号線駆動回路も1つ以上設けられていれば良く、書き込み用ゲート信号線駆動回路102と消去用ゲート信号線駆動回路103とを、1つのゲート信号線駆動回路で代用しても良い。

【0058】画素部100には複数の画素104がマトリクス状に設けられており、各画素104は複数の副画素を有している。なお各画素が有する副画素の数は、作製が可能な限りいくつでも良い。本実施の形態では説明を分かり易くするために、1つの画素104が第1副画素105と、第2副画素106の2つの副画素を有している例について説明する。

【0059】図1(B)に画素の回路図を示す。画素104が有する第1副画素105と第2副画素106は、1つの電源供給線 $V_{-i}$ ( $i$ は1~ $x$ の任意の数)と、1つの書き込み用ゲート信号線 $Ga_{-j}$ ( $j$ は1~ $y$ の任意の数)とを共有している。なお電源供給線は、必ずしも全ての副画素で共有する必要はない。ただしこの場合、全ての副画素が有する電源供給線は同じ電位に保たれる。

【0060】また、第1副画素105と第2副画素106は、異なるソース信号線を1つずつ有しており、本実施の形態では、第1副画素105が有するソース信号線を第1ソース信号線 $SL_{-i}$ ( $i$ は1~ $x$ の任意の数)、第2副画素106が有するソース信号線を第2ソース信号線 $SR_{-i}$ ( $i$ は1~ $x$ の任意の数)とする。

【0061】また、第1副画素105と第2副画素106は、異なる消去用ゲート信号線を1つずつ有しており、本実施の形態では、第1副画素105が有する消去用ゲート信号線を第1消去用ゲート信号線 $GeL_{-j}$

( $j$ は1~ $y$ の任意の数)、第2副画素106が有する消去用ゲート信号線を第2消去用ゲート信号線 $GeR_{-j}$ ( $j$ は1~ $y$ の任意の数)とする。

【0062】また各副画素は、それぞれスイッチング用TFT(第1のTFT)110、駆動用TFT(第2のTFT)111、消去用TFT(第3のTFT)112、発光素子113、コンデンサ114を有している。

【0063】各副画素が有するスイッチング用TFT110のゲート電極は、書き込み用ゲート信号線 $Ga_{-j}$ に接続されている。また各副画素が有するスイッチング用TFT110のソース領域とドレイン領域は、一方は各副画素が有するソース信号線に、もう一方は各副画素が有する駆動用TFT111のゲート電極に接続されている。本実施の形態の場合、第1副画素105が有するスイッチング用TFT110のソース領域とドレイン領域は、一方は第1ソース信号線 $SL_{-i}$ に、もう一方は第1副画素105が有する駆動用TFT111のゲート電極に接続されている。また、第2副画素106が有するスイッチング用TFT110のソース領域とドレイン領域は、一方は第2ソース信号線 $SR_{-i}$ に、もう一方は第2副画素106が有する駆動用TFT111のゲート電極に接続されている。

【0064】各副画素が有する駆動用TFT111のソース領域は電源供給線 $V_{-i}$ に、ドレイン領域は各副画素が有する発光素子113の画素電極にそれぞれ接続されている。

【0065】また、各副画素が有する消去用TFT112は、各副画素が有する消去用ゲート信号線にそれぞれ接続されている。本実施の形態の場合、第1副画素105が有する消去用TFT112のゲート電極は、第1消去用ゲート信号線 $GeL_{-j}$ に接続されており、第2副画素106が有する消去用TFT112のゲート電極は、第2消去用ゲート信号線 $GeR_{-j}$ に接続されている。

【0066】また各副画素が有する消去用TFT112のソース領域とドレイン領域は、一方は電源供給線 $V_{-i}$ に、もう一方は各副画素が有する駆動用TFT111のゲート電極に接続されている。

【0067】図2に、図1(A)に示した画素部100の回路図を示す。画素部100には第1ソース信号線 $SL_{-1} \sim SL_{-x}$ と、第2ソース信号線 $SR_{-1} \sim SR_{-x}$ と、電源供給線 $V_{-1} \sim V_{-x}$ と、書き込み用ゲート信号線 $Ga_{-1} \sim Ga_{-y}$ と、第1消去用ゲート信号線 $GeL_{-1} \sim GeL_{-y}$ と、第2消去用ゲート信号線 $GeR_{-1} \sim GeR_{-y}$ とが設けられている。

【0068】なお、画素部100が有する第1ソース信号線と電源供給線の数は必ずしも同じであるとは限らない。画素部100が有する第2ソース信号線と電源供給線の数も、必ずしも同じであるとは限らない。また、画素部100が有する書き込み用ゲート信号線と第1消去

用ゲート信号線の数が必ずしも同じであるとは限らない。画素部100が有する書き込み用ゲート信号線と第2消去用ゲート信号線の数も、必ずしも同じであるとは限らない。

【0069】次に、図1及び図2に示した構造を有する本発明の発光装置の、駆動方法について説明する。なお本実施の形態では、6ビットのデジタルビデオ信号を用いて表示を行った場合について説明するが、本発明の発光装置が用いるデジタルビデオ信号のビット数は、これに限定されない。

【0070】図3に、各画素104が有する第1副画素105と第2副画素106における、サブフレーム期間の出現するタイミングを示す。第1副画素105では、1フレーム期間内にサブフレーム期間SF6\_1、SF2、SF4\_1、SF5\_2、SF4\_2が順に出現する。第2副画素106では、1フレーム期間内にサブフレーム期間SF5\_1、SF1、SF6\_2、SF3、SF6\_3が順に出現する。

【0071】なお、サブフレーム期間SF1～SF3は、1ビット目～3ビット目のデジタルビデオ信号にそれぞれ対応している。また、サブフレーム期間SF4\_1と、SF4\_2は共に4ビット目のデジタルビデオ信号に対応している。また、サブフレーム期間SF5\_1と、SF5\_2は共に5ビット目のデジタルビデオ信号に対応している。また、サブフレーム期間SF6\_1 \*

副画素1	SF6 1(10)	SF2(2)	SF4 1(4)	SF5 2(8)	SF4 2(4)
副画素2	SF5 1(8)	SF1(1)	SF6 2(11)	SF3(4)	SF6 3(11)

【0075】本実施の形態では、SF1:SF2:SF3:(SF4\_1+SF4\_2):(SF5\_1+SF5\_2):(SF6\_1+SF6\_2+SF6\_3)=2<sup>0</sup>:2<sup>1</sup>:2<sup>2</sup>:2<sup>3</sup>:2<sup>4</sup>:2<sup>5</sup>となっている。そして、どのサブフレーム期間において発光素子が発光するかはデジタルビデオ信号によって決まり、発光するサブフレーム期間の組み合わせで2<sup>6</sup>階調のうち所望の階調表示を行うことができる。なおnビットのデジタルビデオ信号を用いて駆動を行うとき、各ビットに対応するサブフレーム期間の長さの比は、2<sup>0</sup>:2<sup>1</sup>:...:2<sup>(n-1)</sup>となる。

【0076】なお、サブフレーム期間の出現する順序や、各副画素において出現するサブフレーム期間の対応するビットは、設計者が適宜選択可能である。

【0077】なお本実施の形態では、4ビット目のデジタルビデオ信号に対応するサブフレーム期間を、SF4\_1とSF4\_2の2つに分割している。また、5ビット目のデジタルビデオ信号に対応するサブフレーム期間を、SF5\_1とSF5\_2の2つに分割している。また、6ビット目のデジタルビデオ信号に対応するサブフレーム期間を、SF6\_1とSF6\_2とSF6\_3の3つに分割している。しかし本発明において分割するサ

\*と、SF6\_2と、SF6\_3は共に6ビット目のデジタルビデオ信号に対応している。

【0072】第1副画素105においてサブフレーム期間SF6\_1が開始されるタイミングと、第2副画素106においてサブフレーム期間SF5\_1が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF2が開始されるタイミングと、第2副画素106においてサブフレーム期間SF1が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF4\_1が開始されるタイミングと、第2副画素106においてサブフレーム期間SF6\_2が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF5\_2が開始されるタイミングと、第2副画素106においてサブフレーム期間SF3が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF4\_2が開始されるタイミングと、第2副画素106においてサブフレーム期間SF6\_3が開始されるタイミングは同じである。

【0073】また表1に、各副画素において出現するサブフレーム期間の出現する順序と、長さの比を示す。なお括弧内の数字は当該サブフレーム期間の、他のサブフレーム期間に対する長さの比に相当する。

【0074】

【表1】

サブフレーム期間が対応するデジタルビデオ信号のビット数は、必ずしもこれに限定されない。

【0078】分割するサブフレーム期間は1つでも複数でも良い。ただし上位ビットに対応するサブフレーム期間、言いかえると長さの長いサブフレーム期間から順に分割することが好ましい。

【0079】また、サブフレーム期間の分割数は設計者が適宜選択可能であるが、いくつまで分割するかは、発光装置の駆動速度と、要求される画像の表示品質とのバランスによって決めるのが好ましい。

【0080】また同じビットのデジタルビデオ信号に対応する、分割したサブフレーム期間の長さは同じであることが望ましいが、本発明はこれに限定されない。分割したサブフレーム期間の長さは必ずしも同じである必要はない。

【0081】また分割数もこれに限定されない。そして、サブフレーム期間を分割し、分割したサブフレーム期間同士が同じ副画素において連続して出現しないように、間に他のサブフレーム期間または表示を行わない期間(非表示期間)を設けていても良い。なお非表示期間においては、画素部の全ての画素において発光素子は発光しない。

【0082】上記構成により、動画擬似輪郭が発生するのを防ぐことができる。ただし、本発明はこの構成に限定されず、必ずしもサブフレーム期間を分割する必要はない。

【0083】次に、各サブフレーム期間における画素の動作について説明する。各サブフレーム期間が開始されると、全ての画素に順にデジタルビデオ信号が入力される。そして、該デジタルビデオ信号の有する1または0の情報によって、第1副画素105と、第2副画素106がそれぞれ有する発光素子が、発光するかしないかが選択される。

【0084】上記動作についてより詳しく説明する。まず各画素が有する書き込み用ゲート信号線が順に選択される。なお、書き込み用ゲート信号線は1つずつ選択され、同時に2つ以上の書き込み用ゲート信号線は選択されない。例えば書き込み用ゲート信号線G<sub>a\_j</sub>が選択されると、書き込み用ゲート信号線G<sub>a\_j</sub>にゲート電極が接続されたスイッチング用TFT110が全てオンになる。

【0085】そして全てのソース信号線（本実施例では第1ソース信号線と第2ソース信号線）に、各サブフレーム期間に対応するビットのデジタルビデオ信号が入力される。つまり、SF1～SF3では、それぞれ1ビット目～3ビット目のデジタルビデオ信号が入力される。また、SF4\_1と、SF4\_2では共に4ビット目のデジタルビデオ信号が入力され、SF5\_1と、SF5\_2では共に5ビット目のデジタルビデオ信号が入力され、SF6\_1と、SF6\_2と、SF6\_3では共に6ビット目のデジタルビデオ信号が入力される。ただし、第1ソース信号線には、第1副画素において出現するサブフレーム期間に対応するビットのデジタルビデオ信号が入力され、第2ソース信号線には、第2副画素において出現するサブフレーム期間に対応するビットのデジタルビデオ信号が入力される。

【0086】図1(B)に示した画素においては、第1ソース信号線S<sub>L\_i</sub>に、第1副画素において出現するサブフレーム期間に対応するビット数のデジタルビデオ信号が入力される。また、第2ソース信号線S<sub>R\_i</sub>に、第2副画素において出現するサブフレーム期間に対応するビット数のデジタルビデオ信号が入力される。

【0087】各副画素において、デジタルビデオ信号はオンのスイッチング用TFT110を介して、駆動用TFT111のゲート電極に入力される。駆動用TFT111は、入力されたデジタルビデオ信号によってそのスイッチングが制御される。

【0088】駆動用TFT111がオンだと、電源供給線の電位（電源電位）が駆動用TFT111を介して発光素子113の画素電極に与えられる。よって発光素子113が有する有機化合物層に電源電位と対向電位の電位差（発光素子駆動電圧）が印加され、発光素子113

が発光する。

【0089】逆に駆動用TFT111がオフだと、電源電位は発光素子113の画素電極に与えられない。よって発光素子駆動電圧が有機化合物層に印加されないため、発光素子113は発光しない。

【0090】上記動作が画素部の全ての画素において行われ、全ての画素、具体的には各副画素にデジタルビデオ信号が入力される。なお本明細書において画素、または副画素にデジタルビデオ信号が入力されるとは、当該画素または副画素の駆動用TFTのゲート電極にデジタルビデオ信号の電位が与えられることを意味する。なお、本明細書では、全ての画素にデジタルビデオ信号を入力するまでの期間を書き込み期間T<sub>a</sub>と呼ぶ。

【0091】次に、書き込み期間T<sub>a</sub>が終了する前、もしくは終了した後に、第1消去用ゲート信号線または第2消去用ゲート信号線が選択される。第1消去用ゲート信号線が選択されると、第1消去用ゲート信号線にゲート電極が接続された第1副画素105の消去用TFT112が全てオンになり、電源電位が第1副画素105の駆動用TFT111のゲート電極に与えられる。よって、第1副画素105の駆動用TFT111は、ゲート電極とソース領域の電位が等しくなるのでオフになり、第1副画素105の発光素子113は非発光状態になる。そして、第1副画素105においてサブフレーム期間が終了する。

【0092】同様に、第2消去用ゲート信号線が選択されると、第2消去用ゲート信号線にゲート電極が接続された第2副画素106の消去用TFT112が全てオンになり、電源電位が第2副画素106の駆動用TFT111のゲート電極に与えられる。よって、第2副画素106の駆動用TFT111は、ゲート電極とソース領域の電位が等しくなるのでオフになり、第2副画素106の発光素子113は非発光状態になる。そして、第2副画素106においてサブフレーム期間が終了する。

【0093】なお、同じ画素においても、第1消去用ゲート信号線と第2消去用ゲート信号線の選択されるタイミングは同じであるとは限らない。第1消去用ゲート信号線と第2消去用ゲート信号線の選択されるタイミングは、当該副画素において出現するサブフレーム期間の長さによって決まる。

【0094】なお本明細書では、全ての第1消去用ゲート信号線が選択されるまでの期間、または全ての第2消去用ゲート信号線が選択されるまでの期間を、消去期間T<sub>e</sub>と呼ぶ。なお第1消去用ゲート信号線の選択は1つずつ行われ、同時に2つ以上選択されない。同様に、第2消去用ゲート信号線の選択は1つずつ行われ、同時に2つ以上選択されない。

【0095】図4(A)に、書き込み期間T<sub>a</sub>において、書き込み用ゲート信号線が選択されるタイミングを示す。また図4(B)に、第1副画素105において出

現した消去期間  $T_e$  において、第 1 消去用ゲート信号線が選択されるタイミングを示す。なお、第 2 副画素 106 において出現した消去期間において、第 2 消去用ゲート信号線が選択されるタイミングは、第 1 副画素 105 と同じであるので、図 4 (B) を参照できる。

【0096】そして、同じ画素が有する複数の副画素のうち、先にサブフレーム期間が終了した副画素においては、他の副画素においてサブフレーム期間が終了するまで、発光素子が非表示状態になっている。そして全ての副画素においてサブフレーム期間が終了した後に、当該画素が有する全ての副画素において次のサブフレーム期間が一斉に開始される。なお、先のサブフレーム期間が終了してから、次のサブフレーム期間が開始されるまでの、発光素子が非発光状態にある期間を、非表示期間  $B_F$  と呼ぶ。

【0097】また、サブフレーム期間を分割することで、サブフレーム期間どうしの長さの差を縮めることができる。よって同じ画素が有する複数の副画素のそれぞれにおいて同時に開始されるサブフレーム期間の長さの差を縮めることができ、1 フレーム期間における非表示期間の長さを短くし、コントラストを高めることもできる。

【0098】なお上述した動作において、サブフレーム期間が書き込み期間よりも長い場合、言いかえると書き込み期間  $T_a$  が終了した後にサブフレーム期間が終了する場合、第 1 消去用ゲート信号線または第 2 消去用ゲート信号線を選択せずに、次のサブフレーム期間を開始しても良い。この場合、サブフレーム期間とサブフレーム期間の間に非表示期間  $B_F$  は出現しない。

【0099】なお、画素におけるサブフレーム期間の出現するタイミングは、各ラインの画素毎に異なっている。なお本発明において 1 ライン分の画素は、同じ書き込み用ゲート信号線を有している。図 5 に各ラインの画素毎のサブフレーム期間の出現するタイミングを示す。横軸はタイムスケールを、縦軸は書き込み用ゲート信号線の位置を示している。

【0100】1 番最初のラインの画素においてサブフレーム期間が開始されてから、最後のラインの画素においてサブフレーム期間が開始されるまでの期間が、書き込み期間  $T_a$  に相当する。また、1 番最初のラインの画素において非表示期間が開始されてから、最後のラインの画素において非表示期間が開始されるまでの期間が消去期間  $T_e$  に相当する。本実施の形態においては、サブフレーム期間  $S_F2$ 、 $S_F4\_1$ 、 $S_F4\_2$ 、 $S_F5\_1$ 、 $S_F1$ 、 $S_F3$  が終了した直後に非表示期間が出現している。本発明において非表示期間は、必ずしも上述したサブフレーム期間の直後に開始されるとは限らない。ただし少なくとも、書き込み期間よりも長さの短いサブフレーム期間の直後に、非表示期間は設けられる。

【0101】本発明の発光装置では、各副画素に消去用

$TFT112$  を設けることで、非表示期間  $B_F$  を出現させることができる。そのため、図 17 に示した一般的な発光装置とは異なり、サブフレーム期間を全ての画素に 1 ビット分のデジタルビデオ信号が入力される期間の長さ、(本発明の発光装置では書き込み期間の長さに相当する) よりも短くすることができる。

【0102】図 6 は本発明の発光装置において、時間分割駆動法を用いて表示を行った際に、サブフレーム期間  $S_F(k-1)$ 、 $S_Fk$ 、 $S_F(k+1)$  ( $k$  は任意の自然数) の出現するタイミングを示している。横軸はタイムスケールを、縦軸は各ラインの画素の位置を示している。また  $t_1$  はサブフレーム期間  $S_Fk$  において、全ての画素に 1 ビット分のデジタルビデオ信号が入力される書き込み期間の長さを示しており、 $t_2$  は各ラインの画素におけるサブフレーム期間  $S_Fk$  の長さを示している。なお 1 ライン分の画素は、同じゲート信号線を有している。

【0103】 $t_3$  は各ラインの画素における非表示期間  $B_F$  の長さである。非表示期間の長さ  $t_3$  は、 $S_Fk$  と重なっている書き込み期間と、 $S_F(k+1)$  と重なっている書き込み期間とが、互いに重ならないような長さであることが重要である。つまり  $t_3 \geq t_1 - t_2$  とすることが重要である。

【0104】上記動作により、階調数を高くするためにサブフレーム期間  $t_2$  を短くし、 $t_1 > t_2$  となっても、1 ビット分のデジタルビデオ信号の画素への入力と並行して、同じ画素部内において次の 1 ビット分のデジタルビデオ信号の画素への入力を開始する必要がない。

【0105】また、本発明の発光装置では、画素が有する複数の副画素のそれぞれにおいて出現するサブフレーム期間において、各副画素の発光素子が発光するかしないかで階調表示を行っている。そのため、副画素を設けない一般的な発光装置で時間分割駆動を行う場合に比べて、サブフレーム期間が短くなるのを抑えることができる。よって、サブフレーム期間の数が増加しても、ソース信号線駆動回路の駆動周波数が高くなるのを抑えることができる。したがって、フレーム周波数を落とさず、なおかつソース信号線駆動回路の駆動周波数が高くなるのを抑えつつ、階調数の高い画像を表示することが可能になる。

【0106】また、フレーム周波数を落とさず、なおかつソース信号線駆動回路の駆動周波数が高くなるのを抑えつつ、動画擬似輪郭の視認されずらい画像を表示することが可能になる。

【0107】

【実施例】以下に、本発明の実施例について説明する。

【0108】(実施例 1) 本実施例では、図 1 (B) に示した本発明の発光装置の画素の上面図について説明する。図 7 に本実施例の画素の上面図を示す。

【0109】205 は第 1 副画素、206 は第 2 副画素



を示しており、各副画素にはスイッチング用TFT 210、駆動用TFT 211、消去用TFT 212が形成されている。

【0110】また、第1副画素205と第2副画素206は、書き込み用ゲート信号線G<sub>a\_j</sub>及び電源供給線V<sub>i</sub>を共有している。そして第1副画素205は第1消去用ゲート信号線G<sub>eL\_j</sub>を有しており、第2副画素206は第2消去用ゲート信号線G<sub>eR\_j</sub>を有している。

【0111】各副画素において、スイッチング用TFT 210のソース領域とドレイン領域は、一方は各副画素が有するソース信号線に、もう一方は接続配線225を介してゲート配線222に接続されている。ゲート配線222の一部は駆動用TFT 211のゲート電極として用いられている。

【0112】また駆動用TFT 211のソース領域は電源供給線V<sub>i</sub>に、ドレイン領域は発光素子の画素電極220に接続されている。なお本実施例では図示していないが、画素電極に接して有機化合物層が形成されており、該有機化合物層に接して対向電極が形成されている。

【0113】ゲート配線222は書き込み用ゲート信号線及び消去用ゲート信号線と同じ層に形成される。そしてゲート配線222はゲート絶縁膜（図示せず）を間に介してTFTの活性層と同じ層に形成された容量用活性層221と重なっている。容量用活性層221は電源供給線V<sub>i</sub>と接続されており、電源電位が与えられている。ゲート配線222と容量用活性層221とでコンデンサ214が形成される。

【0114】また、ゲート配線222は層間絶縁膜（図示せず）を間に介して電源供給線V<sub>i</sub>とも重なっており、ゲート配線222と電源供給線V<sub>i</sub>との間に形成される容量を用いて、駆動用TFT 211のゲート電極の電位を保持するようにしても良い。

【0115】また消去用TFT 212のソース領域とドレイン領域は、一方は接続配線224を介してゲート配線222に接続され、もう一方は電源供給線V<sub>i</sub>に接続されている。なお、接続配線225と224は、ソース信号線及び電源供給線と同じ層に形成されている。

【0116】また消去用TFT 212のゲート電極は、各副画素が有する消去用ゲート信号線に接続されている。

【0117】なお本実施例は本発明の一実施例を示しただけであり、本発明の発光装置は本実施例で示した構成に限定されない。

【0118】（実施例2）本実施例では、図1（B）に示した構成を有する本発明の発光装置において、6ビットのデジタルビデオ信号を用いて表示を行った場合について説明する。ただしサブフレーム期間は分割せずに、デジタルビデオ信号のビット数と同じ数のサブフレーム

期間を用いて表示を行う例について説明する。

【0119】表2に、各副画素において出現するサブフレーム期間の出現する順序と、長さの比を示す。なお括弧内の数字は当該サブフレーム期間の、他のサブフレーム期間に対する長さの比に相当する。

【0120】

【表2】

副画素1	SF6(32)	SF3(4)	SF1(1)
副画素2	SF5(16)	SF4(8)	SF2(2)

【0121】第1副画素105では、1フレーム期間内にサブフレーム期間SF6、SF3、SF1が順に出現する。第2副画素106では、1フレーム期間内にサブフレーム期間SF5、SF4、SF2が順に出現する。

【0122】なお、サブフレーム期間SF1～SF6は、1～6ビット目のデジタルビデオ信号にそれぞれ対応している。

【0123】第1副画素105においてサブフレーム期間SF6が開始されるタイミングと、第2副画素106においてサブフレーム期間SF5が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF3が開始されるタイミングと、第2副画素106においてサブフレーム期間SF4が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF1が開始されるタイミングと、第2副画素106においてサブフレーム期間SF2が開始されるタイミングは同じである。

【0124】本実施例では、SF1：SF2：SF3：SF4：SF5：SF6＝2<sup>0</sup>：2<sup>1</sup>：2<sup>2</sup>：2<sup>3</sup>：2<sup>4</sup>：2<sup>5</sup>となっている。このサブフレーム期間の組み合わせで2<sup>6</sup>階調のうち所望の階調表示を行うことができる。なおnビットのデジタルビデオ信号を用いて駆動を行うとき、各ビットに対応するサブフレーム期間の長さの比は、2<sup>0</sup>：2<sup>1</sup>：…：2<sup>(n-1)</sup>となる。

【0125】サブフレーム期間の出現する順序や、各副画素において出現するサブフレーム期間の対応するビットは、設計者が適宜選択可能である。

【0126】本発明の発光装置では、画素が有する複数の副画素のそれぞれにおいて出現するサブフレーム期間において、各副画素の発光素子が発光するかしないかで階調表示を行っている。そのため、副画素を設けない一般的な発光装置で時間分割駆動を行う場合に比べて、サブフレーム期間が短くなるのを抑えることができる。よって、サブフレーム期間の数が増加しても、ソース信号線駆動回路の駆動周波数が高くなるのを抑えることができる。したがって、フレーム周波数を落とさず、なおかつソース信号線駆動回路の駆動周波数が高くなるのを抑えつつ、階調数が高い画像を表示することが可能になる。

【0127】なお本発明は6ビットのデジタルビデオ信



号のみ用いることができるわけではない。対応するビット数は、設計者が適宜設定することが可能である。

【0128】本実施例は、実施例1と自由に組み合わせで実施することが可能である。

【0129】（実施例3）本実施例では、図1（B）に示した構成を有する本発明の発光装置において、8ビットのデジタルビデオ信号を用いて表示を行った場合につ\*

副画素1	SF8 1(42)	SF2(2)	SF6 1(16)	SF7 2(32)	SF8 3(43)	SF1(1)
副画素2	SF4(8)	SF7 1(32)	SF8 2(43)	SF3(4)	SF5(16)	SF6 2(16)

【0132】第1副画素105では、1フレーム期間内にサブフレーム期間SF8\_\_1、SF2、SF6\_\_1、SF7\_\_2、SF8\_\_3、SF1が順に出現する。第2副画素106では、1フレーム期間内にサブフレーム期間SF4、SF7\_\_1、SF8\_\_2、SF3、SF5、SF6\_\_2が順に出現する。

【0133】なお、サブフレーム期間SF1～SF5は、1～5ビット目のデジタルビデオ信号にそれぞれ対応している。また、サブフレーム期間SF6\_\_1と、SF6\_\_2は共に6ビット目のデジタルビデオ信号に対応している。また、サブフレーム期間SF7\_\_1と、SF7\_\_2は共に7ビット目のデジタルビデオ信号に対応している。また、サブフレーム期間SF8\_\_1と、SF8\_\_2と、SF8\_\_3は共に8ビット目のデジタルビデオ信号に対応している。

【0134】第1副画素105においてサブフレーム期間SF8\_\_1が開始されるタイミングと、第2副画素106においてサブフレーム期間SF4が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF2が開始されるタイミングと、第2副画素106においてサブフレーム期間SF7\_\_1が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF6\_\_1が開始されるタイミングと、第2副画素106においてサブフレーム期間SF8\_\_2が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF7\_\_2が開始されるタイミングと、第2副画素106においてサブフレーム期間SF3が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF8\_\_3が開始されるタイミングと、第2副画素106においてサブフレーム期間SF5が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF1が開始されるタイミングと、第2副画素106においてサブフレーム期間SF6\_\_2が開始されるタイミングは同じである。

【0135】本実施例では、SF1：SF2：SF3：SF4：SF5：（SF6\_\_1+SF6\_\_2）：SF（SF7\_\_1+SF7\_\_2）：（SF8\_\_1+SF8\_\_2+SF8\_\_3）=2<sup>0</sup>：2<sup>1</sup>：2<sup>2</sup>：2<sup>3</sup>：2<sup>4</sup>：2<sup>5</sup>：2

\*いて説明する。

【0130】表3に、各副画素において出現するサブフレーム期間の出現する順序と、長さの比を示す。なお括弧内の数字は当該サブフレーム期間の、他のサブフレーム期間に対する長さの比に相当する。

【0131】

【表3】

6：2<sup>7</sup>となっている。このサブフレーム期間の組み合わせで2<sup>8</sup>階調のうち所望の階調表示を行うことができる。なおnビットのデジタルビデオ信号を用いて駆動を行うとき、各ビットに対応するサブフレーム期間の長さの比は、2<sup>0</sup>：2<sup>1</sup>：…：2<sup>(n-1)</sup>となる。

【0136】サブフレーム期間の出現する順序や、各副画素において出現するサブフレーム期間の対応するビットは、設計者が適宜選択可能である。

【0137】なお本実施例では、6ビット目のデジタルビデオ信号に対応するサブフレーム期間を、SF6\_\_1とSF6\_\_2の2つに分割している。また、7ビット目のデジタルビデオ信号に対応するサブフレーム期間を、SF7\_\_1とSF7\_\_2の2つに分割している。また、8ビット目のデジタルビデオ信号に対応するサブフレーム期間を、SF8\_\_1とSF8\_\_2とSF8\_\_3の3つに分割している。しかし本発明において分割するサブフレーム期間が対応するデジタルビデオ信号のビット数は、必ずしもこれに限定されない。

【0138】分割するサブフレーム期間は1つでも複数でも良い。ただし上位ビットに対応するサブフレーム期間、言いかえると長さの長いサブフレーム期間から順に分割することが好ましい。

【0139】また、サブフレーム期間の分割数は設計者が適宜選択可能であるが、いくつまで分割するかは、発光装置の駆動速度と、要求される画像の表示品質とのバランスによって決めるのが好ましい。

【0140】また同じビットのデジタルビデオ信号に対応する、分割したサブフレーム期間の長さは同じであることが望ましいが、本発明はこれに限定されない。分割したサブフレーム期間の長さは必ずしも同じである必要はない。

【0141】また分割数もこれに限定されない。そして、サブフレーム期間を分割し、分割したサブフレーム期間同士が同じ副画素において連続して出現しないように、間に他のサブフレーム期間または表示を行わない期間（非表示期間）を設けていても良い。なお非表示期間においては、画素部の全ての画素において発光素子は発光しない。

【0142】上記構成により、動画擬似輪郭の発生を防ぐことができる。ただし、本発明はこの構成に限定され

ず、必ずしも分割する必要はない。

【0143】また、サブフレーム期間を分割することで、サブフレーム期間どうしの長さの差を縮めることができる。よって同じ画素が有する複数の副画素のそれぞれにおいて同時に開始されるサブフレーム期間の長さの差を縮めることができ、1フレーム期間における非表示期間の長さを短くし、コントラストを高めることもできる。

【0144】本発明の発光装置では、画素が有する複数の副画素のそれぞれにおいて出現するサブフレーム期間において、各副画素の発光素子が発光するかしないかで階調表示を行っている。そのため、副画素を設けない一般的な発光装置で時間分割駆動を行う場合に比べて、サブフレーム期間が短くなるのを抑えることができる。よって、サブフレーム期間の数が増加しても、ソース信号線駆動回路の駆動周波数が高くなるのを抑えることができる。したがって、フレーム周波数を落とさず、なおかつソース信号線駆動回路の駆動周波数が高くなるのを抑\*

	第1フレーム期間			第2フレーム期間		
副画素1	SF3(4)	SF1(1)		SF4_1(4)	SF2(2)	SF4_2(4)
副画素2	SF4_1(4)	SF2(2)	SF4_2(4)	SF3(4)	SF1(1)	

【0150】第1副画素105では、先に出現する第1フレーム期間内に、サブフレーム期間SF3、SF1が順に出現する。第2副画素106では、先に出現する第1フレーム期間内に、サブフレーム期間SF4\_1、SF2、SF4\_2が順に出現する。

【0151】また、第1副画素105では、後に出現する第2フレーム期間内に、サブフレーム期間SF4\_1、SF2、SF4\_2が順に出現する。第2副画素106では、後に出現する第2フレーム期間内に、サブフレーム期間SF3、SF1が順に出現する。

【0152】なお、サブフレーム期間SF1～SF3は、1～3ビット目のデジタルビデオ信号にそれぞれ対応している。また、サブフレーム期間SF4\_1と、SF4\_2は、共に4ビット目のデジタルビデオ信号に対応している。

【0153】サブフレーム期間SF3が開始されるタイミングと、サブフレーム期間SF4\_1が開始されるタイミングは同じである。また、サブフレーム期間SF1が開始されるタイミングと、サブフレーム期間SF2が開始されるタイミングは同じである。また、片方の副画素においてサブフレーム期間SF4\_2が出現しているとき、もう片方の副画素において非表示BFが出現している。

【0154】本実施例では、SF1：SF2：SF3：(SF4\_1+SF4\_2)=2<sup>0</sup>：2<sup>1</sup>：2<sup>2</sup>：2<sup>3</sup>となっている。このサブフレーム期間の組み合わせで2<sup>4</sup>階調のうち所望の階調表示を行うことができる。

【0155】本実施例では、各副画素において出現する

\*えつつ、階調数が高い画像を表示することが可能になる。

【0145】なお本発明は8ビットのデジタルビデオ信号のみ用いることができるわけではない。対応するビット数は、設計者が適宜設定することが可能である。

【0146】本実施例は、実施例1と自由に組み合わせて実施することが可能である。

【0147】(実施例4) 本実施例では、図1(B)に示した構成を有する本発明の発光装置において、各副画素において出現するサブフレーム期間を、フレーム期間毎に互いに入れ替える場合について説明する。

【0148】表4に、各副画素において出現するサブフレーム期間の出現する順序と、長さの比を示す。なお括弧内の数字は当該サブフレーム期間の、他のサブフレーム期間に対する長さの比に相当する。

【0149】

【表4】

サブフレーム期間を、フレーム期間毎に互いに入れ替えており、これによって各副画素が有する発光素子の発光する期間を、互いに同じぐらいにすることができる。

【0156】なお、本実施例においてサブフレーム期間の出現する順序や、各副画素において出現するサブフレーム期間の対応するビットは、設計者が適宜選択可能である。

【0157】また、本実施例では4ビット目のデジタルビデオ信号に対応するサブフレーム期間を、SF4\_1とSF4\_2の2つに分割している。しかし本実施例において分割するサブフレーム期間が対応するデジタルビデオ信号のビット数は、必ずしもこれに限定されない。また分割数もこれに限定されない。

【0158】分割するサブフレーム期間は1つでも複数でも良い。ただし上位ビットに対応するサブフレーム期間、言いかえると長さの長いサブフレーム期間から順に分割することが好ましい。

【0159】また、サブフレーム期間の分割数は設計者が適宜選択可能であるが、いくつまで分割するかは、発光装置の駆動速度と、要求される画像の表示品質とのバランスによって決めるのが好ましい。

【0160】なお本実施例は4ビットのデジタルビデオ信号のみ用いることができるわけではない。対応するビット数は、設計者が適宜設定することが可能である。

【0161】本実施例は、実施例1～3と自由に組み合わせて実施することが可能である。

【0162】(実施例5) 本実施例では、本発明の発光装置において、図1(B)に示したのとは異なる構成の

画素について、図8を用いて説明する。

【0163】図8に本実施例の画素の回路図を示す。画素304が有する第1副画素305と第2副画素306は、1つの電源供給線 $V_{-i}$  ( $i$ は1~ $x$ の任意の数)を共有している。

【0164】また、第1副画素305と第2副画素306は、異なるソース信号線を1つずつ有しており、本実施例では、第1副画素305が有するソース信号線を第1ソース信号線 $SL_{-i}$  ( $i$ は1~ $x$ の任意の数)、第2副画素306が有するソース信号線を第2ソース信号線 $SR_{-i}$  ( $i$ は1~ $x$ の任意の数)とする。

【0165】また、第1副画素305と第2副画素306は、異なる書き込み用ゲート信号線を1つずつ有しており、本実施例では、第1副画素305が有する書き込み用ゲート信号線を第1書き込み用ゲート信号線 $GaL_{-j}$  ( $j$ は1~ $y$ の任意の数)、第2副画素306が有する書き込み用ゲート信号線を第2書き込み用ゲート信号線 $GaR_{-j}$  ( $j$ は1~ $y$ の任意の数)とする。

【0166】また、第1副画素305と第2副画素306は、異なる消去用ゲート信号線を1つずつ有しており、本実施例では、第1副画素305が有する消去用ゲート信号線を第1消去用ゲート信号線 $GeL_{-j}$  ( $j$ は1~ $y$ の任意の数)、第2副画素306が有する消去用ゲート信号線を第2消去用ゲート信号線 $GeR_{-j}$  ( $j$ は1~ $y$ の任意の数)とする。

【0167】また各副画素は、それぞれスイッチング用TFT310、駆動用TFT311、消去用TFT312、発光素子313、コンデンサ314を有している。

【0168】各副画素が有するスイッチング用TFT310のゲート電極は、各副画素が有する書き込み用ゲート信号線 $Ga_{-j}$ に接続されている。本実施例の場合、第1副画素305が有するスイッチング用TFT310のゲート電極は、第1書き込み用ゲート信号線 $GaL_{-j}$ に接続されている。また、第2副画素306が有するスイッチング用TFT310のゲート電極は、第2書き込み用ゲート信号線 $GaR_{-j}$ に接続されている。

【0169】また各副画素が有するスイッチング用TFT310のソース領域とドレイン領域は、一方は各副画素が有するソース信号線に、もう一方は各副画素が有する駆動用TFT311のゲート電極に接続されている。本実施例の場合、第1副画素305が有するスイッチング用TFT310のソース領域とドレイン領域は、一方は第1ソース信号線 $SL_{-i}$ に、もう一方は第1副画素305が有する駆動用TFT311のゲート電極に接続されている。また、第2副画素306が有するスイッチング用TFT310のソース領域とドレイン領域は、一方は第2ソース信号線 $SR_{-i}$ に、もう一方は第2副画素306が有する駆動用TFT311のゲート電極に接続されている。

【0170】各副画素が有する駆動用TFT311のソ

ース領域は電源供給線 $V_{-i}$ に、ドレイン領域は各副画素が有する発光素子313の画素電極にそれぞれ接続されている。

【0171】また、各副画素が有する消去用TFT312は、各副画素が有する消去用ゲート信号線にそれぞれ接続されている。本実施例の場合、第1副画素305が有する消去用TFT312のゲート電極は、第1消去用ゲート信号線 $GeL_{-j}$ に接続されており、第2副画素306が有する消去用TFT312のゲート電極は、第2消去用ゲート信号線 $GeR_{-j}$ に接続されている。

【0172】また各副画素が有する消去用TFT312のソース領域とドレイン領域は、一方は電源供給線 $V_{-i}$ に、もう一方は各副画素が有する駆動用TFT311のゲート電極に接続されている。

【0173】本実施例では、書き込み期間において第1書き込み用ゲート信号線 $GaL_{-j}$ と第2書き込み用ゲート信号線 $GaR_{-j}$ が同時に選択される。

【0174】本実施例では、図1(B)に示した構成に比べ、1つの書き込み用ゲート信号線に接続されているスイッチング用TFTの数が半分になる。よって書き込み用ゲート信号線の負荷が小さくなるので、該信号線を選択する際の応答速度が早くなる。

【0175】本実施例は、実施例1~4と自由に組み合わせることで実施することが可能である。

【0176】(実施例6) 本実施例では、本発明の発光装置において、各画素に副画素が3つずつ設けられている場合について説明する。

【0177】図9を用いて、本発明の発光装置の構造について説明する。図9(A)は本発明の発光装置に含まれる表示用パネルのブロック図である。基板(図示せず)上に、画素部400と、ソース信号線駆動回路401と、書き込み用ゲート信号線駆動回路402と、消去用ゲート信号線駆動回路403とが設けられている。

【0178】なお、本実施例では、画素部400と、駆動回路群(ソース信号線駆動回路401、書き込み用ゲート信号線駆動回路402及び消去用ゲート信号線駆動回路403が含まれる)とが同一基板上に形成されているが、本発明はこの構成に限定されない。画素部400と駆動回路群とが異なる基板上に形成され、FPC等のコネクタを介して互いに接続されていてもよい。

【0179】また、ソース信号線駆動回路401とゲート信号線駆動回路(書き込み用ゲート信号線駆動回路402及び消去用ゲート信号線駆動回路403が含まれる)の数は、図9(A)に示した数に限定されない。ソース信号線駆動回路401は1つ以上設けられていれば良い。またゲート信号線駆動回路も1つ以上設けられていれば良く、書き込み用ゲート信号線駆動回路402と消去用ゲート信号線駆動回路403とを、1つのゲート信号線駆動回路で代用しても良い。

【0180】画素部400には複数の画素404がマト

リクス状に設けられており、各画素404は複数の副画素を有している。なお各画素が有する副画素の数は、作製が可能な限りいくつでも良い。本実施例では1つの画素404が第1副画素405と、第2副画素406と、第3副画素407の3つの副画素を有している。

【0181】図9(B)に画素の回路図を示す。画素404が有する第1副画素405と、第2副画素406と、第3副画素407は、1つの電源供給線 $V_{-i}$  ( $i$ は1~ $x$ の任意の数)と、1つの書き込み用ゲート信号線 $G_{a-j}$  ( $j$ は1~ $y$ の任意の数)とを共有している。

【0182】また、第1副画素405と、第2副画素406と、第3副画素407は、異なるソース信号線を1つずつ有しており、本実施例では、第1副画素405が有するソース信号線を第1ソース信号線 $S_{L-i}$  ( $i$ は1~ $x$ の任意の数)、第2副画素406が有するソース信号線を第2ソース信号線 $S_{R-i}$  ( $i$ は1~ $x$ の任意の数)、第3副画素407が有するソース信号線を第3ソース信号線 $S_{T-i}$  ( $i$ は1~ $x$ の任意の数)とする。

【0183】また、第1副画素405と、第2副画素406、第3副画素407は、異なる消去用ゲート信号線を1つずつ有しており、本実施例では、第1副画素405が有する消去用ゲート信号線を第1消去用ゲート信号線 $G_{eL-j}$  ( $j$ は1~ $y$ の任意の数)、第2副画素406が有する消去用ゲート信号線を第2消去用ゲート信号線 $G_{eR-j}$  ( $j$ は1~ $y$ の任意の数)、第3副画素407が有する消去用ゲート信号線を第3消去用ゲート信号線 $G_{eT-j}$  ( $j$ は1~ $y$ の任意の数)とする。

【0184】また各副画素は、それぞれスイッチング用TFT410、駆動用TFT411、消去用TFT412、発光素子413、コンデンサ414を有している。

【0185】各副画素が有するスイッチング用TFT410のゲート電極は、書き込み用ゲート信号線 $G_{a-j}$ に接続されている。また各副画素が有するスイッチング用TFT410のソース領域とドレイン領域は、一方は各副画素が有するソース信号線に、もう一方は各副画素が有する駆動用TFT411のゲート電極に接続されている。本実施例の場合、第1副画素405が有するスイッチング用TFT410のソース領域とドレイン領域は、一方は第1ソース信号線 $S_{L-i}$ に、もう一方は第1副画素405が有する駆動用TFT411のゲート電極に接続されている。また、第2副画素406が有するスイッチング用TFT410のソース領域とドレイン領域は、一方は第2ソース信号線 $S_{R-i}$ に、もう一方は第2副画素406が有する駆動用TFT411のゲート電極に接続されている。また、第3副画素407が有するスイッチング用TFT410のソース領域とドレイン領域は、一方は第3ソース信号線 $S_{T-i}$ に、もう一方は第3副画素407が有する駆動用TFT411のゲ

ト電極に接続されている。

【0186】各副画素が有する駆動用TFT411のソース領域は電源供給線 $V_{-i}$ に、ドレイン領域は各副画素が有する発光素子413の画素電極にそれぞれ接続されている。

【0187】また、各副画素が有する消去用TFT412は、各副画素が有する消去用ゲート信号線にそれぞれ接続されている。本実施例の場合、第1副画素405が有する消去用TFT412のゲート電極は、第1消去用ゲート信号線 $G_{eL-j}$ に接続されており、第2副画素406が有する消去用TFT412のゲート電極は、第2消去用ゲート信号線 $G_{eR-j}$ に接続されている。また、第3副画素407が有する消去用TFT412のゲート電極は、第3消去用ゲート信号線 $G_{eT-j}$ に接続されている。

【0188】また各副画素が有する消去用TFT412のソース領域とドレイン領域は、一方は電源供給線 $V_{-i}$ に、もう一方は各副画素が有する駆動用TFT411のゲート電極に接続されている。

【0189】このように本発明では、各画素が有する副画素の数を任意に設定することが可能である。副画素の数が多ければ多いほど、サブフレーム期間の長さを抑えることができる。

【0190】本実施例は、実施例1~5と自由に組み合わせることで実施することが可能である。

【0191】(実施例7) 本実施例では、本発明の発光装置の駆動回路群に含まれる、ソース信号線駆動回路、書き込み用ゲート信号線駆動回路及び消去用ゲート信号線駆動回路の詳しい構成について説明する。

【0192】図10に本実施例の発光装置の駆動回路のブロック図を示す。図10(A)はソース信号線駆動回路601であり、シフトレジスタ602、ラッチ(A)603、ラッチ(B)604を有している。

【0193】ソース信号線駆動回路601において、シフトレジスタ602にクロック信号(CLK)およびスタートパルス(SP)が入力される。シフトレジスタ602は、これらのクロック信号(CLK)およびスタートパルス(SP)に基づきタイミング信号を順に発生させ、バッファ等(図示せず)を通して後段の回路へタイミング信号を順次入力する。

【0194】シフトレジスタ602からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が入力される配線には、多くの回路あるいは素子が接続されているために負荷容量(寄生容量)が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がり"鈍り"を防ぐために、このバッファが設けられる。なおバッファは必ずしも設ける必要はない。

【0195】バッファによって緩衝増幅されたタイミング信号は、ラッチ(A)603に入力される。ラッチ

(A) 603は、 $n$ ビットデジタルビデオ信号を処理する複数のステージのラッチを有している。ラッチ(A) 603は、前記タイミング信号が入力されると、ソース信号線駆動回路601の外部から入力される $n$ ビットのデジタルビデオ信号を順次取り込み、保持する。

【0196】なお、ラッチ(A) 603にデジタルビデオ信号を取り込む際に、ラッチ(A) 603が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ(A) 603が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動と言う。

【0197】ラッチ(A) 603の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0198】1ライン期間が終了すると、ラッチ(B) 604にラッチシグナル(Latch Signal)が入力される。この瞬間、ラッチ(A) 603に書き込まれ保持されているデジタルビデオ信号は、ラッチ(B) 604に一齐に送出され、ラッチ(B) 604の全ステージのラッチに書き込まれ、保持される。

【0199】デジタルビデオ信号をラッチ(B) 604に送出し終えたラッチ(A) 603には、シフトレジスタ602からのタイミング信号に基づき、デジタルビデオ信号の書き込みが順次行われる。

【0200】この2順目の1ライン期間中には、ラッチ(B) 604に書き込まれ、保持されているデジタルビデオ信号がソース信号線に入力される。

【0201】図10(B)は書き込み用ゲート信号線駆動回路の構成を示すブロック図である。

【0202】書き込み用ゲート信号線駆動回路605は、それぞれシフトレジスタ606、バッファ607を有している。また場合によってはレベルシフトを有しても良い。

【0203】書き込み用ゲート信号線駆動回路605において、シフトレジスタ606からのタイミング信号がバッファ607に入力され、対応する書き込み用ゲート信号線(第1書き込み用ゲート信号線と第2書き込み用ゲート信号線を含む)に入力される。書き込み用ゲート信号線には、1ライン分の画素のスイッチング用TFTのゲート電極が接続されている。そして、1ライン分の画素のスイッチング用TFTを一齐にONにしないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0204】なお消去用ゲート信号線駆動回路は書き込

み用ゲート信号線駆動回路の構成と同じであるので、図10(B)を参照する。ただし消去用ゲート信号線駆動回路の場合、バッファからの出力は消去用ゲート信号線(第1消去用ゲート信号線と第2消去用ゲート信号線を含む)に入力される。また消去用ゲート信号線には、1ライン分の画素の消去用TFTのゲート電極が接続されている。そして、1ライン分の画素の消去用TFTを一齐にONにしないので、バッファは大きな電流を流すことが可能なものが用いられる。

10 【0205】本実施例は実施例1~6と自由に組み合わせて実施することが可能である。

【0206】(実施例8)本発明の発光装置が有するTFTの作製方法の一例について、図11~図13を用いて説明する。ここでは、本発明の発光装置の画素部に設けられたスイッチング用TFTおよび駆動用TFTと、画素部の周辺に設けられる駆動部のTFTを同時に作製する方法について、工程に従って詳細に説明する。また消去用TFTは、スイッチング用TFTと同様に作製することができるので、ここでは説明を省略した。

20 【0207】まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板900を用いる。なお、基板900としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

30 【0208】次いで、図11(A)に示すように、基板900上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜901を形成する。本実施例では下地膜901として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜901の一層目としては、プラズマCVD法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化珪素膜901aを10~200nm(好ましくは50~100nm)形成する。本実施例では、膜厚50nmの酸化窒化珪素膜901a(組成比 $\text{Si}=32\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$ )を形成した。次いで、下地膜901の二層目としては、プラズマCVD法を用い、 $\text{SiH}_4$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化珪素膜901bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜901b(組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$ )を形成した。

40 【0209】次いで、下地膜901上に半導体層902~905を形成する。半導体層902~905は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化

法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層902~905の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム( $\text{Si}_x\text{Ge}_{1-x}$  ( $x=0.0001\sim0.02$ ))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層902~905を形成した。

【0210】また、半導体層902~905を形成した後、TFTのしきい値を制御するために、半導体層902~905に微量な不純物元素(ボロンまたはリン)をドーピングしてもよい。

【0211】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100~400mJ/cm<sup>2</sup>(代表的には200~300mJ/cm<sup>2</sup>)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300kHzとし、レーザーエネルギー密度を300~600mJ/cm<sup>2</sup>(代表的には350~500mJ/cm<sup>2</sup>)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90%として行えばよい。

【0212】次いで、半導体層902~905を覆うゲート絶縁膜906を形成する。ゲート絶縁膜906はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0213】また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度30

0~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0214】そして、ゲート絶縁膜906上にゲート電極を形成するための耐熱性導電層907を200~400nm(好ましくは250~350nm)の厚さで形成する。耐熱性導電層907は単層で形成しても良いし、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。耐熱性導電層にはTa、Ti、Wから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜が含まれる。これらの耐熱性導電層はスパッタ法やCVD法で形成されるものであり、低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30ppm以下とすると良い。本実施例ではW膜を300nmの厚さで形成する。W膜はWをターゲットとしてスパッタ法で形成しても良いし、6フッ化タンゲステン(WF<sub>6</sub>)を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.99%または99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩcmを実現することができる。

【0215】一方、耐熱性導電層907にTa膜を用いる場合には、同様にスパッタ法で形成することが可能である。Ta膜はスパッタガスにArを用いる。また、スパッタ時のガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。α相のTa膜の抵抗率は20μΩcm程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は180μΩcm程度でありゲート電極とするには不向きであった。Ta<sub>2</sub>N膜はα相に近い結晶構造を持つので、Ta膜の下地にTa<sub>2</sub>N膜を形成すればα相のTa膜が容易に得られる。また、図示しないが、耐熱性導電層907の下に2~20nm程度の厚さでリン(P)をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層907が微量に含有するアルカリ金属元素が第1の形状のゲート絶縁膜906に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層907は抵抗率を10~50μΩcmの範囲ですることが好ましい。

【0216】次に、フォトリソグラフィの技術を使用

してレジストによるマスク908を形成する。そして、第1のエッチング処理を行う。本実施例ではICPエッチング装置を用い、エッチング用ガスに $\text{Cl}_2$ と $\text{CF}_4$ を用い、1Paの圧力で $3.2\text{W}/\text{cm}^2$ のRF(13.56MHz)電力を投入してプラズマを形成して行う。基板側(試料ステージ)にも $224\text{mW}/\text{cm}^2$ のRF(13.56MHz)電力を投入し、これにより実質的に負の自己バイアス電圧が印加される。この条件でW膜のエッチング速度は約 $100\text{nm}/\text{min}$ である。第1のエッチング処理はこのエッチング速度を基にW膜がちょうどエッチングされる時間を推定し、それよりもエッチング時間を20%増加させた時間をエッチング時間とした。

【0217】第1のエッチング処理により第1のテーパ形状を有する導電層909~912が形成される。導電層909~912のテーパ部の角度は $15\sim 30^\circ$ となるように形成される。残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させるオーバーエッチングを施すものとする。W膜に対する酸化窒化シリコン膜(ゲート絶縁膜906)の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされる。

(図11(B))

【0218】そして、第1のドーピング処理を行い導電型の不純物元素を半導体層に添加する。ここでは、n型を付与する不純物元素添加の工程を行う。第1の形状の導電層を形成したマスク908をそのまま残し、第1のテーパ形状を有する導電層909~912をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加する。n型を付与する不純物元素をゲート電極の端部におけるテーパ部とゲート絶縁膜906とを通して、その下に位置する半導体層に達するように添加するためにドーズ量を $1\times 10^{13}\sim 5\times 10^{14}\text{atoms}/\text{cm}^2$ とし、加速電圧を $80\sim 160\text{keV}$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。このようなイオンドープ法により第1の不純物領域914~917には $1\times 10^{20}\sim 1\times 10^{21}\text{atomic}/\text{cm}^3$ の濃度範囲でn型を付与する不純物元素が添加される。(図11(C))

【0219】この工程において、ドーピングの条件によっては、不純物が第1の形状の導電層909~912の下に回りこみ、第1の不純物領域914~917が第1の形状の導電層909~912と重なることも起こりうる。

【0220】次に、図11(D)に示すように第2のエッチング処理を行う。エッチング処理も同様にICPエッチング装置により行い、エッチングガスに $\text{CF}_4$ とC

$\text{I}_2$ の混合ガスを用い、RF電力 $3.2\text{W}/\text{cm}^2$ (13.56MHz)、バイアス電力 $45\text{mW}/\text{cm}^2$ (13.56MHz)、圧力1.0Paでエッチングを行う。この条件で形成される第2の形状を有する導電層918~921が形成される。その端部にはテーパ部が形成され、該端部から内側にむかって徐々に厚さが増加するテーパ形状となる。第1のエッチング処理と比較して基板側に印加するバイアス電力を低くした分等方性エッチングの割合が多くなり、テーパ部の角度は $30\sim 60^\circ$ となる。マスク908はエッチングされて端部が削れ、マスク922となる。また、図11(D)の工程において、ゲート絶縁膜906の表面が40nm程度エッチングされる。

【0221】そして、第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を $70\sim 120\text{keV}$ とし、 $1\times 10^{13}/\text{cm}^2$ のドーズ量で行い、不純物濃度が大きくなった第1の不純物領域924~927と、前記第1の不純物領域924~927に接する第2の不純物領域928~931とを形成する。この工程において、ドーピングの条件によっては、不純物が第2の形状の導電層918~921の下に回りこみ、第2の不純物領域928~931が第2の形状の導電層918~921と重なることも起こりうる。第2の不純物領域における不純物濃度は、 $1\times 10^{16}\sim 1\times 10^{18}\text{atoms}/\text{cm}^3$ となるようにする。(図12(A))

【0222】そして、図12(B)に示すように、pチャネル型TFTを形成する半導体層902、905に導電型とは逆の導電型の不純物領域933(933a、933b)及び934(934a、934b)を形成する。この場合も第2の形状の導電層918、921をマスクとしてp型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する半導体層903、904は、レジストのマスク932を形成し全面を被覆しておく。ここで形成される不純物領域933、934はジボラン( $\text{B}_2\text{H}_6$ )を用いたイオンドープ法で形成する。不純物領域933、934のp型を付与する不純物元素の濃度は、 $2\times 10^{20}\sim 2\times 10^{21}\text{atoms}/\text{cm}^3$ となるようにする。

【0223】しかしながら、この不純物領域933、934は詳細にはn型を付与する不純物元素を含有する2つの領域に分けて見ることができる。第3の不純物領域933a、934aは $1\times 10^{20}\sim 1\times 10^{21}\text{atoms}/\text{cm}^3$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域933b、934bは $1\times 10^{17}\sim 1\times 10^{20}\text{atoms}/\text{cm}^3$ の濃度でn型を付与する不純物元素を含んでいる。しかし、これらの第4の不純物領域933b、934bのp型を付与する不純物元素の濃度を $1\times 10^{19}\text{atoms}/\text{cm}^3$ 以上となるように



し、第3の不純物領域933a、934aにおいては、p型を付与する不純物元素の濃度をn型を付与する不純物元素の濃度の1.5から3倍となるようにすることにより、第3の不純物領域でpチャネル型TF Tのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0224】その後、図12(C)に示すように、第2の形状を有する導電層918~921およびゲート絶縁膜906上に第1の層間絶縁膜937を形成する。第1の層間絶縁膜937は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜937は無機絶縁物材料から形成する。第1の層間絶縁膜937の膜厚は100~200nmとする。第1の層間絶縁膜937として酸化シリコン膜を用いる場合には、プラズマCVD法でTEOSとO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。また、第1の層間絶縁膜937として酸化窒化シリコン膜を用いる場合には、プラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>から作製される酸化窒化シリコン膜、またはSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20~200Pa、基板温度300~400℃とし、高周波(60MHz)電力密度0.1~1.0W/cm<sup>2</sup>で形成することができる。また、第1の層間絶縁膜937としてSiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>から作製することが可能である。

【0225】そして、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700℃、代表的には500~600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。また、基板501に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい。

【0226】活性化の工程に続いて、雰囲気ガスを変化させ、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層にある10<sup>16</sup>~10<sup>18</sup>/cm<sup>3</sup>のダンダリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。いずれにしても、半導体層9

02~905中の欠陥密度を10<sup>16</sup>/cm<sup>3</sup>以下とすることが望ましく、そのために水素を0.01~0.1atomic%程度付与すれば良い。

【0227】そして、有機絶縁物材料からなる第2の層間絶縁膜939を1.0~2.0μmの平均膜厚で形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【0228】このように、第2の層間絶縁膜939を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減できる。しかし、吸湿性があり保護膜としては適さないため、本実施例のように、第1の層間絶縁膜937として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせると良い。

【0229】その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されるソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスにCF<sub>4</sub>、O<sub>2</sub>、Heの混合ガスを用い有機樹脂材料からなる第2の層間絶縁膜939をまずエッチングし、その後、続いてエッチングガスをCF<sub>4</sub>、O<sub>2</sub>として第1の層間絶縁膜937をエッチングする。さらに、半導体層との選択比を高めるために、エッチングガスをCHF<sub>3</sub>に切り替えて第3の形状のゲート絶縁膜570をエッチングすることによりコンタクトホールを形成することができる。

【0230】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターニングし、その後エッチングすることで、ソース配線940~943とドレイン配線944~946を形成する。図示していないが、本実施例ではこの配線を、そして、膜厚50nmのTi膜と、膜厚500nmの合金膜(AlとTiとの合金膜)との積層膜で形成した。

【0231】次いで、その上に透明導電膜を80~120nmの厚さで形成し、パターニングすることによって画素電極947を形成する(図13(A))。なお、本実施例では、透明電極として酸化インジウム・スズ(ITO)膜や酸化インジウムに2~20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いる。

【0232】また、画素電極947は、ドレイン配線946と接して重ねて形成することによって駆動用TF T



963のドレイン領域と電気的な接続が形成される。

【0233】次に、図13(B)に示すように、画素電極947に対応する位置に開口部を有する第3の層間絶縁膜949を形成する。第3の層間絶縁膜949は絶縁性を有して、バンクとして機能し、隣接する画素の有機化合物層を分離する役割を有している。本実施例ではレジストを用いて第3の層間絶縁膜949を形成する。

【0234】本実施例では、第3の層間絶縁膜949の厚さを1 $\mu$ m程度とし、開口部は画素電極947に近くなればなるほど広くなる、所謂逆テーパ状になるように形成する。これはレジストを成膜した後、開口部を形成しようとする部分以外をマスクで覆い、UV光を照射して露光し、露光された部分を現像液で除去することによって形成される。

【0235】本実施例のように、第3の層間絶縁膜949を逆テーパ状にすることで、後の工程において有機化合物層を成膜した時に、隣り合う画素同士で有機化合物層が分断されるため、有機化合物層と、第3の層間絶縁膜949の熱膨張係数が異なっている、有機化合物層がひび割れたり、剥離したりするのを抑えることができる。

【0236】なお、本実施例においては、第3の層間絶縁膜としてレジストでなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)、酸化珪素膜等を用いることもできる。第3の層間絶縁膜949は絶縁性を有する物質であれば、有機物と無機物のどちらでも良い。

【0237】次に、有機化合物層950を蒸着法により形成し、更に蒸着法により陰極(MgAg電極)951および保護電極952を形成する。このとき有機化合物層950及び陰極951を形成するに先立って画素電極947に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例では発光素子の陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

【0238】なお、有機化合物層950としては、公知の材料を用いることができる。本実施例では正孔輸送層(Hole transporting layer)及び発光層(Emitting layer)でなる2層構造を有機化合物層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0239】本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1, 3, 4-オキサジアゾール誘導体のPBDを30~40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

【0240】また、保護電極952でも有機化合物層950を水分や酸素から保護することは可能であるが、さらに好ましくは保護膜953を設けると良い。本実施例では保護膜953として300nm厚の窒化珪素膜を設ける。この保護膜も保護電極952の後に大気解放しないで連続的に形成しても構わない。

【0241】また、保護電極952は陰極951の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機化合物層950、陰極951は非常に水分に弱いので、保護電極952までを大気解放しないで連続的に形成し、外気から有機化合物層を保護することが望ましい。

【0242】なお、有機化合物層950の膜厚は10~400[nm](典型的には60~150[nm])、陰極951の厚さは80~200[nm](典型的には100~150[nm])とすれば良い。

【0243】こうして図13(B)に示すような構造の発光装置が完成する。なお、画素電極947、有機化合物層950、陰極951の重なっている部分954が発光素子に相当する。

【0244】pチャネル型TFT960及びnチャネル型TFT961は駆動回路970が有するTFTであり、CMOSを形成している。スイッチング用TFT962及び駆動用TFT963は画素部971が有するTFTであり、駆動回路970のTFTと画素部971のTFTとは同一基板上に形成することができる。

【0245】なお、発光素子を用いた発光装置の場合、駆動回路の電源の電圧が5~6V程度、最大でも10V程度で十分なので、TFTにおいてホットエレクトロンによる劣化があまり問題にならない。また駆動回路を高速で動作させる必要があるので、TFTのゲート容量は小さいほうが好ましい。よって、本実施例のように、発光素子を用いた発光装置の駆動回路では、TFTの半導体層が有する第2の不純物領域929と、第4の不純物領域933bとが、それぞれゲート電極918、919と重ならない構成にするのが好ましい。

【0246】本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置は公知の方法を用いて作製することが可能である。

【0247】なお本実施例は、実施例1~7と自由に組み合わせる実施することが可能である。

【0248】(実施例9)本実施例では、実施例8とは異なる発光装置の作製方法について説明する。

【0249】第2の層間絶縁膜939を形成するまでの工程は、実施例5と同じである。図14(A)に示すように、第2の層間絶縁膜939を形成した後、第2の層間絶縁膜939に接するように、パッシベーション膜939を形成する。

【0250】パッシベーション膜939は、第2の層間絶縁膜939に含まれる水分が、画素電極947や、第3の層間絶縁膜982を介して、有機化合物層950に入るのを防ぐのに効果的である。第2の層間絶縁膜939が有機樹脂材料を有している場合、有機樹脂材料は水分を多く含むため、パッシベーション膜939を設けることは特に有効である。

【0251】本実施例では、パッシベーション膜939として、窒化珪素膜を用いた。

【0252】その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスに $CF_4$ 、 $O_2$ 、 $He$ の混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜939をまずエッチングし、その後、続いてエッチングガスを $CF_4$ 、 $O_2$ として第1の層間絶縁膜937をエッチングする。さらに、半導体層との選択比を高めるために、エッチングガスを $CHF_3$ に切り替えて第3の形状のゲート絶縁膜570をエッチングすることによりコンタクトホールを形成することができる。

【0253】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターニングし、その後エッチングすることで、ソース配線940～943とドレイン配線944～946を形成する。図示していないが、本実施例ではこの配線を、そして、膜厚50nmの $Ti$ 膜と、膜厚500nmの合金膜( $Al$ と $Ti$ との合金膜)との積層膜で形成した。

【0254】次いで、その上に透明導電膜を80～120nmの厚さで形成し、パターニングすることによって画素電極947を形成する(図14(A))。なお、本実施例では、透明電極として酸化インジウム・スズ( $ITO$ )膜や酸化インジウムに2～20[%]の酸化亜鉛( $ZnO$ )を混合した透明導電膜を用いる。

【0255】また、画素電極947は、ドレイン配線946と接して重ねて形成することによって駆動用 $TFT$ のドレイン領域と電気的な接続が形成される。

【0256】次に、図14(B)に示すように、画素電極947に対応する位置に開口部を有する第3の層間絶縁膜982を形成する。本実施例では、開口部を形成する際、ウェットエッチング法を用いることでテーパー形状の側壁とした。実施例5に示した場合と異なり、第3の層間絶縁膜982上に形成される有機化合物層は分断されないため、開口部の側壁が十分になだらかでないと段差に起因する有機化合物層の劣化が顕著な問題となってしまうため、注意が必要である。

【0257】なお、本実施例においては、第3の層間絶縁膜982として酸化珪素でなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、 $BCB$ (ベンゾシクロブテン)といった有機樹脂膜を用い

ることもできる。

【0258】そして、第3の層間絶縁膜982上に有機化合物層950を形成する前に、第3の層間絶縁膜982の表面にアルゴンを用いたプラズマ処理を施し、第3の層間絶縁膜982の表面を緻密化しておくのが好ましい。上記構成によって、第3の層間絶縁膜982から有機化合物層950に水分が入るのを防ぐことができる。

【0259】次に、有機化合物層950を蒸着法により形成し、更に蒸着法により陰極( $MgAg$ 電極)951および保護電極952を形成する。このとき有機化合物層950及び陰極951を形成するに先立って画素電極947に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例では発光素子の陰極として $MgAg$ 電極を用いるが、公知の他の材料であっても良い。

【0260】なお、有機化合物層950としては、公知の材料を用いることができる。本実施例では正孔輸送層(Hole transporting layer)及び発光層(Emitting layer)でなる2層構造を有機化合物層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0261】本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1, 3, 4-オキサジアゾール誘導体の $PBD$ を30～40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

【0262】また、保護電極952でも有機化合物層950を水分や酸素から保護することは可能であるが、さらに好ましくは保護膜953を設けると良い。本実施例では保護膜953として300nm厚の窒化珪素膜を設ける。この保護膜も保護電極952の後に大気解放しないで連続的に形成しても構わない。

【0263】また、保護電極952は陰極951の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機化合物層950、陰極951は非常に水分に弱いので、保護電極952までを大気解放しないで連続的に形成し、外気から有機化合物層を保護することが望ましい。

【0264】なお、有機化合物層950の膜厚は10～400[nm](典型的には60～150[nm])、陰極951の厚さは80～200[nm](典型的には100～150[nm])とすれば良い。

【0265】こうして図14(B)に示すような構造の発光装置が完成する。なお、画素電極947、有機化合物層950、陰極951の重なっている部分954が発光素子に相当する。

【0266】pチャネル型TFT960及びnチャネル型TFT961は駆動回路970が有するTFTであり、CMOSを形成している。スイッチング用TFT962及び駆動用TFT963は画素部971が有するTFTであり、駆動回路970のTFTと画素部971のTFTとは同一基板上に形成することができる。

【0267】本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置が有するTFTは、公知の方法を用いて作製することが可能である。

【0268】なお本実施例は、実施例1～8と自由に組み合わせる実施することが可能である。

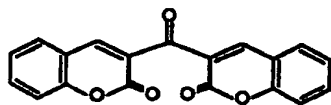
【0269】(実施例10) 本発明において、三重項励起子からの燐光を発光に利用できる有機化合物材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、発光素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0270】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【0271】上記の論文により報告された有機化合物材料(クマリン色素)の分子式を以下に示す。

【0272】

【化1】

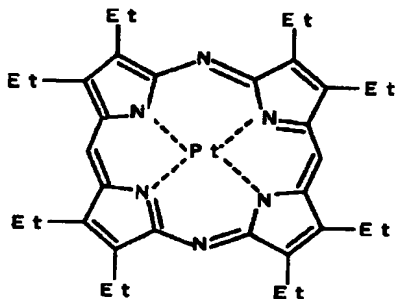


【0273】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【0274】上記の論文により報告された有機化合物材料(Pt錯体)の分子式を以下に示す。

【0275】

【化2】



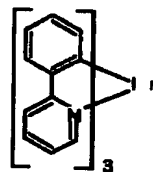
【0276】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett.,75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Ma

yaguchi, Jpn.Appl.Phys.,38 (12B) (1999) L1502.)

【0277】上記の論文により報告された有機化合物材料(Ir錯体)の分子式を以下に示す。

【0278】

【化3】



10

【0279】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【0280】なお、本実施例の構成は、実施例1～実施例9のいずれの構成とも自由に組み合わせる実施することが可能である。

【0281】(実施例11) 本実施例では、本発明の発光装置を作製した例について、図15を用いて説明する。

【0282】図15(A)は、表面に発光素子やTFTが形成された基板(TFT基板)を、シーリング材によって封止することによって形成された発光装置の上面図であり、図15(B)は、図15(A)のA-A'における断面図、図15(C)は図15(A)のB-B'における断面図である。

【0283】基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、書き込み用及び消去用ゲート信号線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、書き込み用及び消去用ゲート信号線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース信号線駆動回路4003と、書き込み用及び消去用ゲート信号線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

【0284】また基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、書き込み用及び消去用ゲート信号線駆動回路4004a、bとは、複数のTFTを有している。図15(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回路4003に含まれる駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示する)4201及び画素部4002に含まれる駆動用TFT(発光素子への電流を制御するTFT)4202を図示した。TFT4201及び4202は下地膜4010上に形成される。

50

【0285】本実施例では、駆動回路用TFT4201には公知の方法で作製されたpチャンネル型TFTまたはnチャンネル型TFTが用いられ、駆動用TFT4202には公知の方法で作製されたpチャンネル型TFTが用いられる。また、画素部4002には駆動用TFT4202のゲートに接続された保持容量（図示せず）が設けられる。

【0286】駆動回路用TFT4201及び駆動用TFT4202上には層間絶縁膜（平坦化膜）4301が形成され、その上に駆動用TFT4202のドレイン領域と電気的に接続する画素電極（陽極）4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0287】そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機化合物層4204が形成される。有機化合物層4204は、電場を加えることで発生するルミネッセンスが得られる公知の有機化合物材料または無機化合物材料を用いることができる。また、有機化合物材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0288】有機化合物層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機化合物層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0289】有機化合物層4204の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4205が形成される。また、陰極4205と有機化合物層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機化合物層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンパー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0290】以上のようにして、画素電極（陽極）4203、有機化合物層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0291】4005aは電源供給線に接続された引き回し配線であり、駆動用TFT4202のソース領域に電気的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4401に電気的に接続される。

【0292】シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0293】但し、発光素子からの光の放射方向がシーリング材側に向かう場合にはシーリング材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0294】また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0295】また充填材4210を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

【0296】図15（C）に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0297】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4401とが、導電性フィラー4300aによって電気

的に接続される。

【0298】本実施例は、実施例1～10と自由に組み合わせることで実施することが可能である。

【0299】（実施例12）発光装置は自発光型であるため、液晶表示装置に比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0300】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図16に示す。

【0301】図16（A）はエレクトロルミネッセンス表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。なお、エレクトロルミネッセンス表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0302】図16（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0303】図16（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。

【0304】図16（D）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。

【0305】図16（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含

む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0306】図16（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。

【0307】図16（G）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置は表示部2602に用いることができる。

【0308】ここで図16（H）は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0309】なお、将来的に有機化合物層の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0310】また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。電場を加えることで発生するルミネッセンスが得られる有機化合物材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0311】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0312】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～11に示したいずれの構成の発光装置を用いても良い。

【0313】

【発明の効果】本発明は上記構成によって、1フレーム期間に設けるサブフレーム期間の数を増やしても、各サブフレーム期間の長さが短くなるのを抑えることができる。よって画素のデジタルビデオ信号を入力する期間

(書きこみ期間)が短くなるのを抑えることができ、ソース信号線駆動回路の駆動周波数を抑えつつ、サブフレーム期間の数を増やすことができる。

【0314】よって、フレーム周波数を落とさず、なおかつソース信号線駆動回路の駆動周波数が高くなるのを抑えつつ、階調数の高い画像を表示することが可能になる。

【0315】また一般的な面積分割駆動法とは異なり、副画素の画素ピッチはほぼ同じである。一般的な面積分割駆動法では、一番小さい副画素にデザインルールをあてはめて設計するので高精細化が難しかった。しかし本発明の発光装置は階調数が増加しても副画素の画素ピッチがほぼ同じであるので、高精細化が可能である。

【0316】さらに本発明の発光装置では、サブフレーム期間を分割し、分割したサブフレーム期間を連続して出現させず、間に他のサブフレーム期間または表示を行わない期間(非表示期間)を設けていても良い。なお非表示期間においては、画素部の全ての画素において発光素子は発光しない。

【0317】上記構成により、動画擬似輪郭の発生を防ぐことができる。

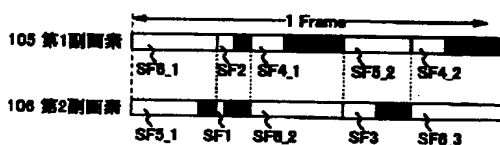
【0318】なおかつ本発明の発光装置では、動画擬似輪郭の発生を防ぐためにサブフレーム期間を分割しても、1つのサブフレーム期間の長さが短くなるのを抑えることができ、ソース信号線駆動回路の駆動周波数の高さを抑えることができる。

【図面の簡単な説明】

【図1】 本発明の発光装置のブロック図及び画素の回路図。

【図2】 本発明の発光装置の画素部の回路図。

【図3】



【図3】 副画素におけるサブフレーム期間の出現するタイミングを示す図。

【図4】 書き込み用ゲート信号線と、第1及び第2消去用ゲート信号線のタイミングチャート。

【図5】 画素部におけるサブフレーム期間の出現するタイミングを示す図。

【図6】 画素部におけるサブフレーム期間の出現するタイミングを示す図。

【図7】 本発明の発光装置の画素の上面図。

10 【図8】 本発明の発光装置の画素の回路図。

【図9】 本発明の発光装置のブロック図及び画素の回路図。

【図10】 本発明の発光装置の駆動回路群のブロック図。

【図11】 本発明の発光装置が有するTFTの作製工程を示す図。

【図12】 本発明の発光装置が有するTFTの作製工程を示す図。

20 【図13】 本発明の発光装置が有するTFTの作製工程を示す図。

【図14】 本発明の発光装置が有するTFTの作製工程を示す図。

【図15】 本発明の発光装置の上面図及び断面図。

【図16】 本発明の発光装置を用いた電子機器の図。

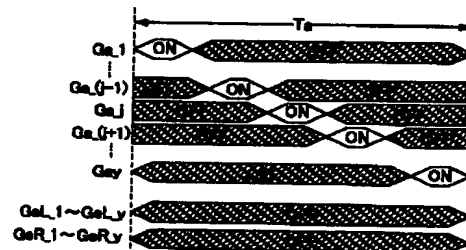
【図17】 一般的な発光装置の画素部及び画素の回路図。

【図18】 一般的な発光装置のサブフレーム期間の出現するタイミングを示す図。

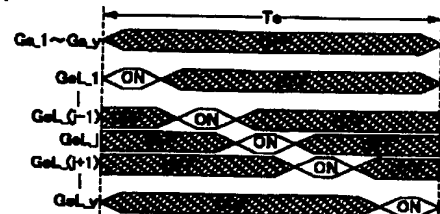
30 【図19】 一般的な発光装置のサブフレーム期間の出現するタイミングを示す図。

【図4】

(A)書き込み期間  $T_w$

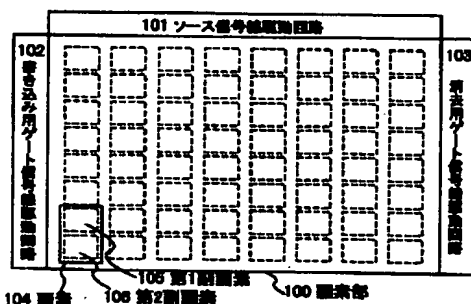


(B)消去期間  $T_e$

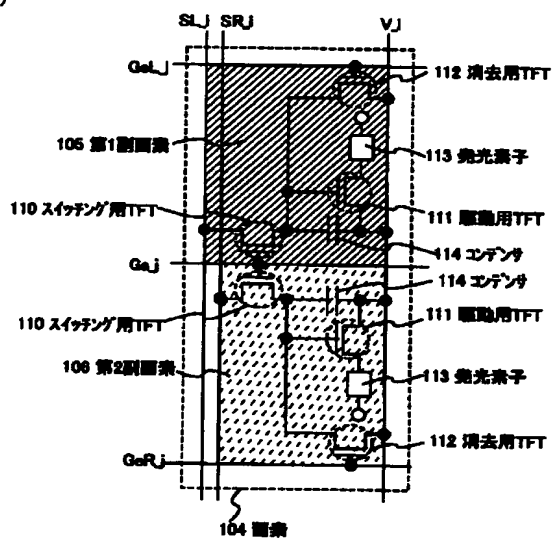


【図1】

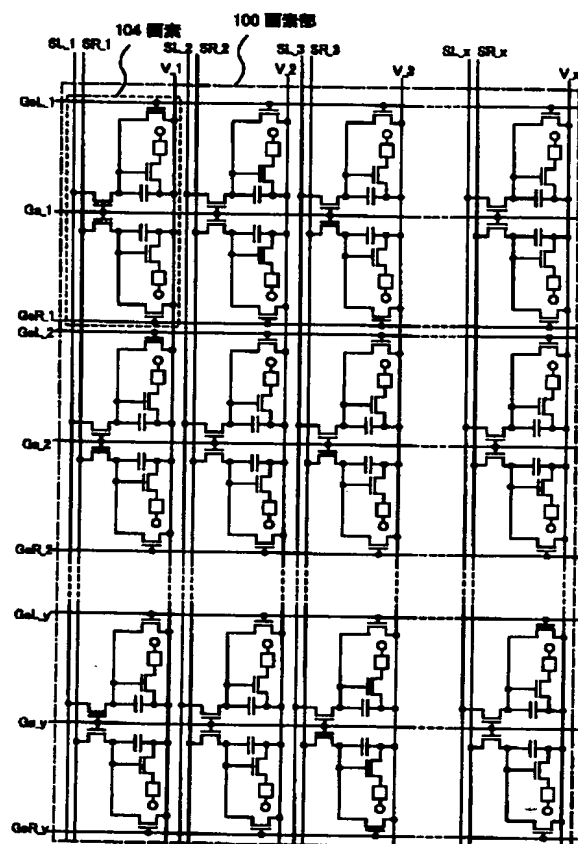
(A)



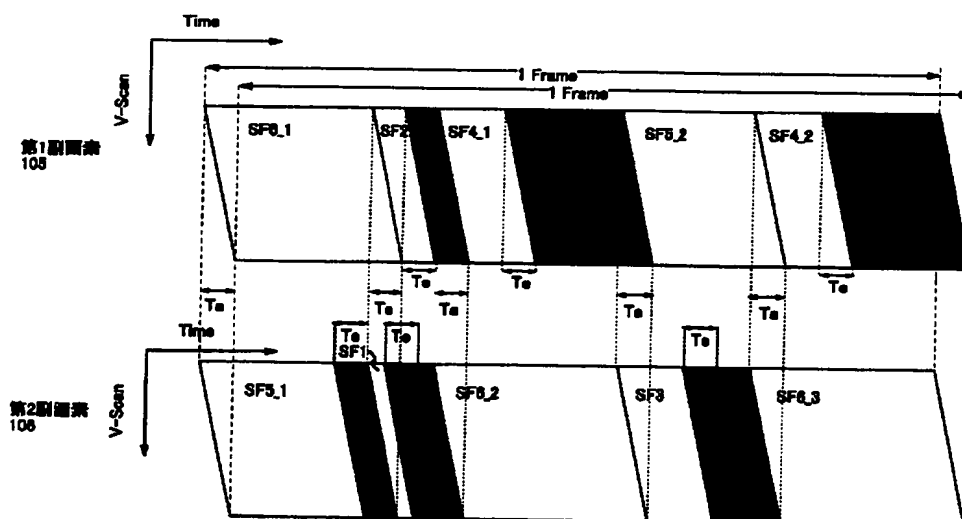
(B)



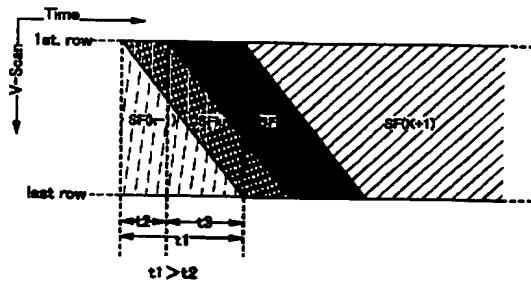
【図2】



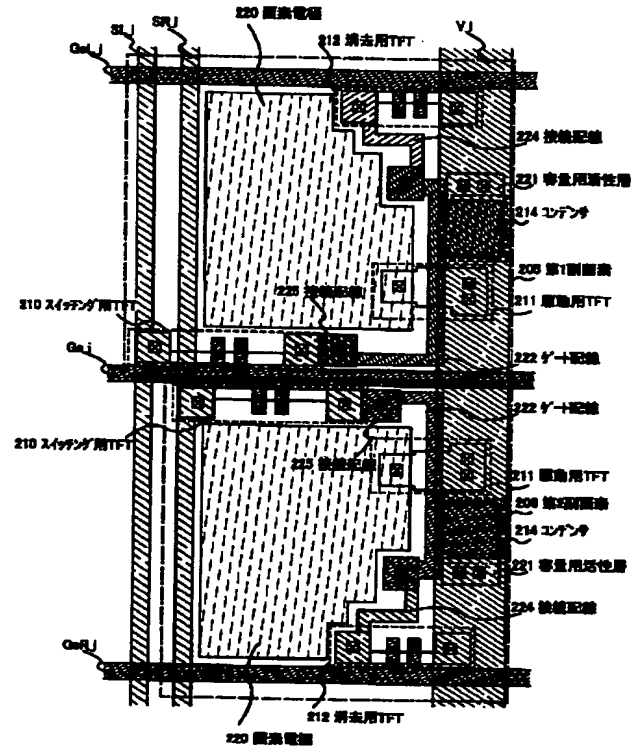
【図5】



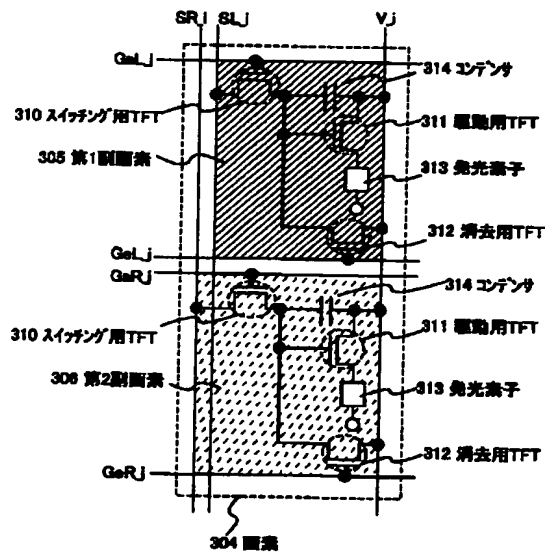
【図6】



【図7】

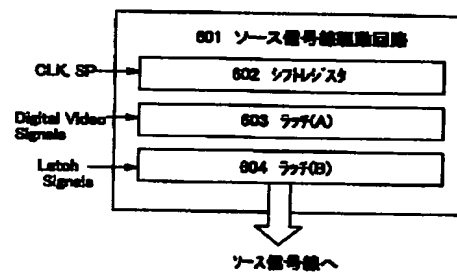


【図8】

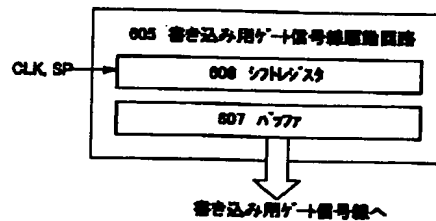


【図10】

(A)

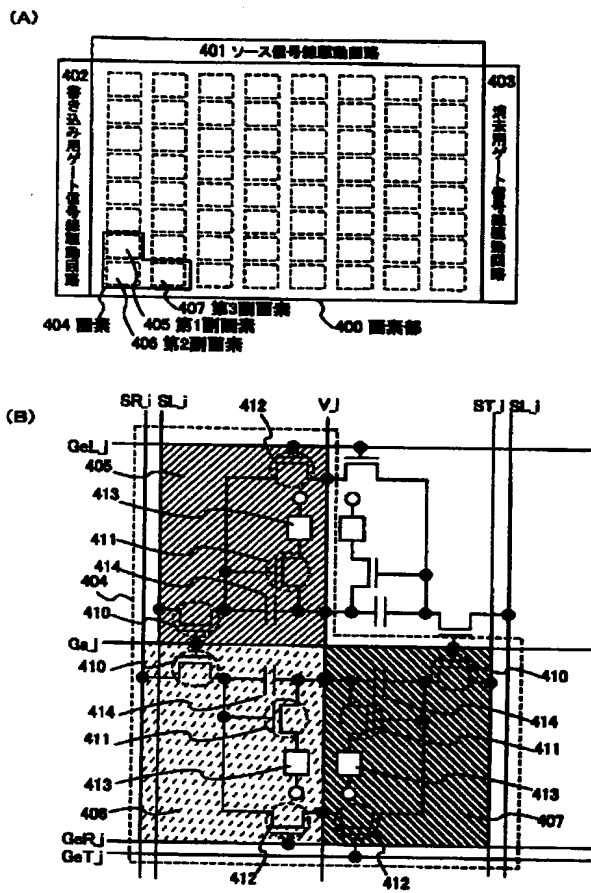


(B)

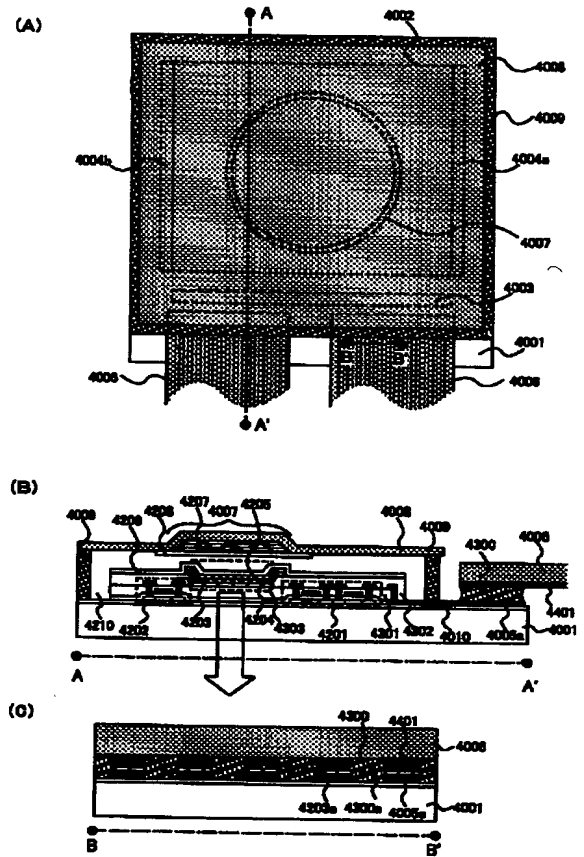




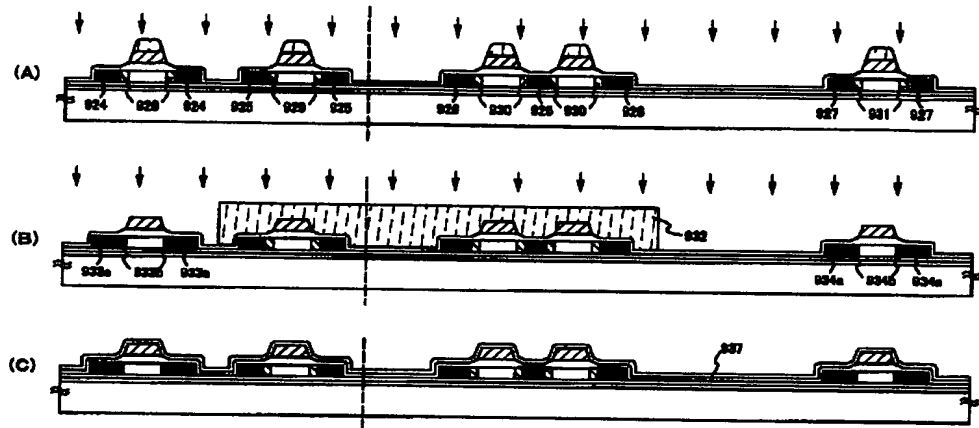
【図9】



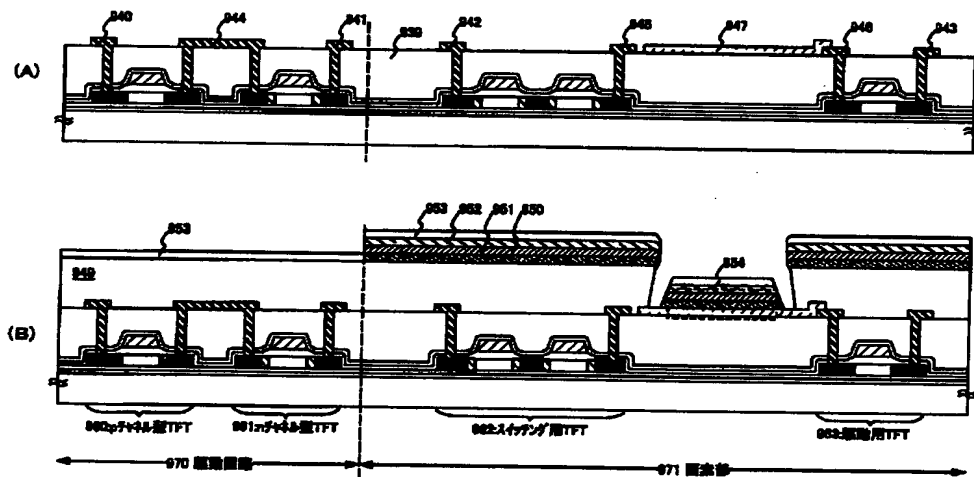
【図15】



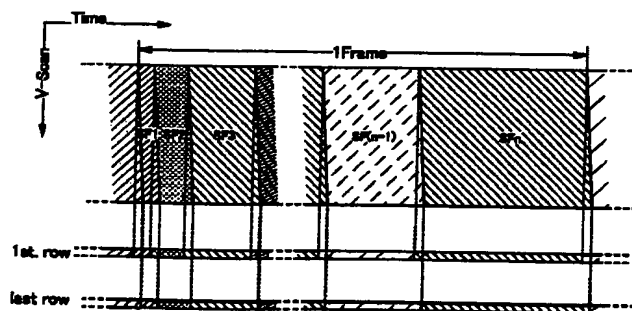
【図12】



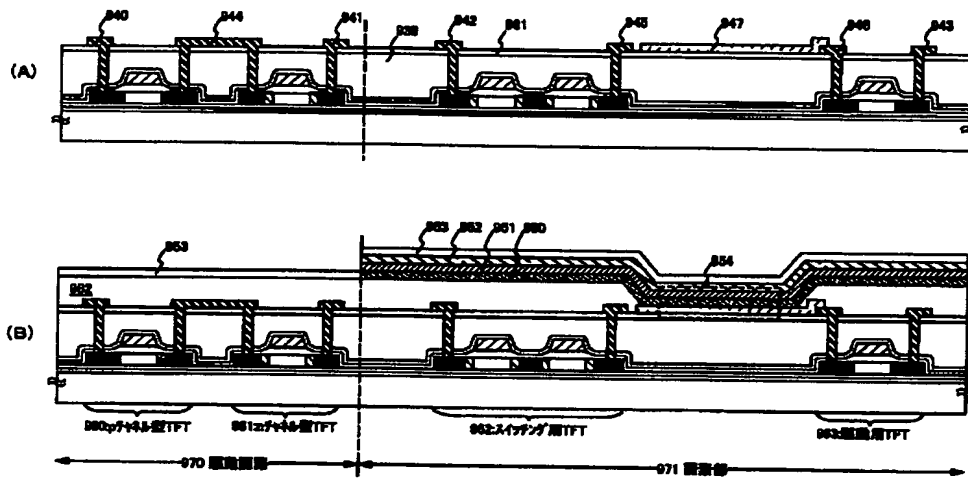
【図13】



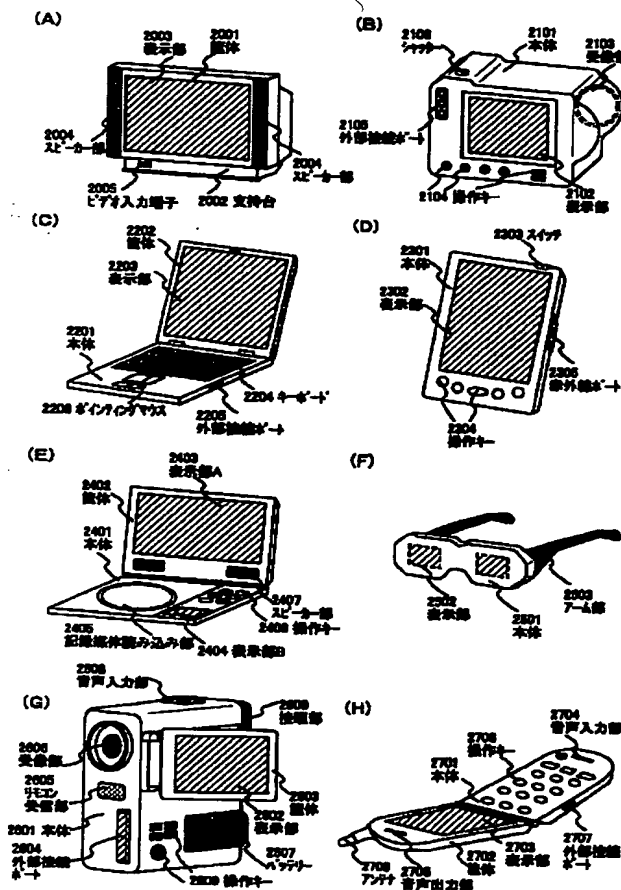
【図18】



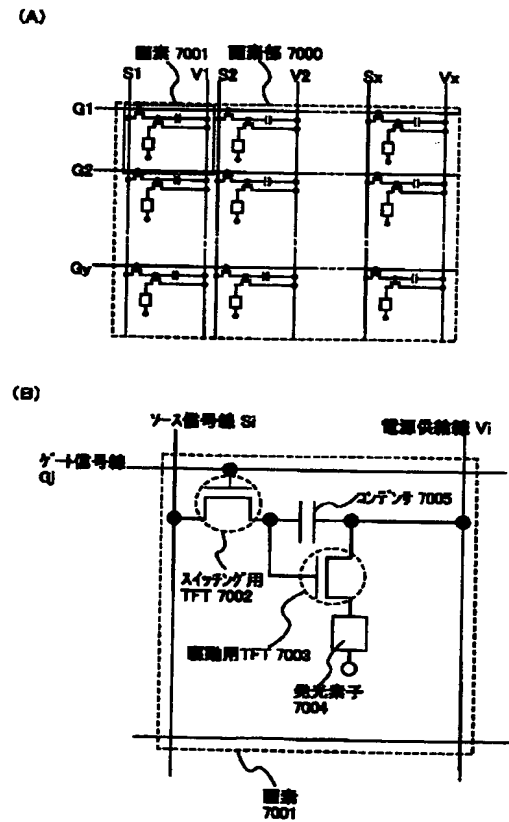
【図14】



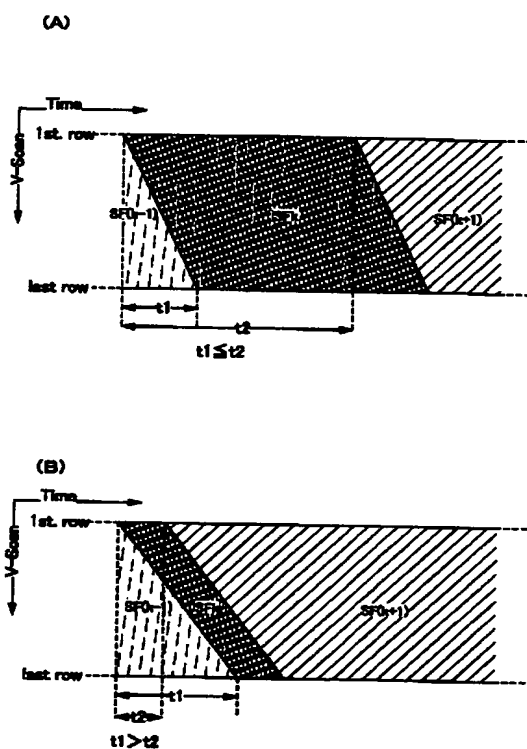
【図16】



【図17】



【図19】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

G 0 9 G 3/20

3/30

H 0 4 N 5/70

H 0 5 B 33/14

識別記号

6 4 1

F I

G 0 9 G 3/20

3/30

H 0 4 N 5/70

H 0 5 B 33/14

テーマコード(参考)

6 4 1 K

6 4 1 R

K

A

A

F ターム(参考) 3K007 DB03 GA00

5C058 AA12 BA03 BA04 BA07 BA09

BB01 BB10

5C080 AA06 BB05 DD03 DD08 DD21

EE19 EE29 FF11 GG07 GG08

JJ02 JJ03 JJ04 JJ06

5C094 AA02 AA07 AA53 BA03 BA27

CA19 CA20 CA25 EA04 EA07

HA08